

Flip-Flops

Introducción a los Sistemas
Lógicos y Digitales
2009

Flip-Flops

CLASIFICACIÓN SEGÚN TIPO DE SINCRONISMO

FLIP-FLOPS ASINCRÓNICOS (No hay entrada de reloj)

FLIP-FLOPS SINCRÓNICOS Sensibles a nivel de reloj (1)
 Sensibles a flanco de reloj (2)

CLASIFICACIÓN SEGÚN TIPO DE FUNCIÓN

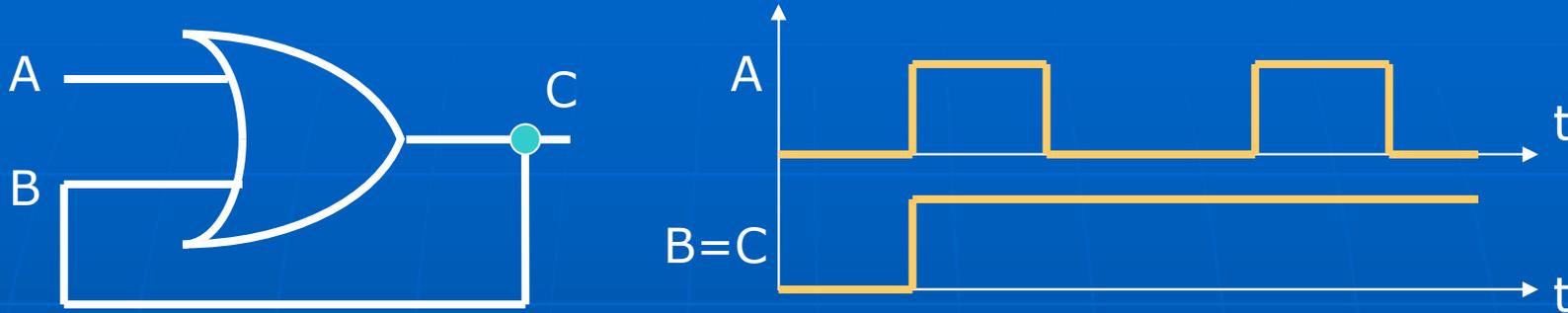
FLIP-FLOPS ASINCRÓNICOS: Tipo /S/R
 Tipo RS

FLIP-FLOPS SINCRÓNICOS: Tipo "D" (Delay)
 Tipo "T" (Toggle)
 Tipo "JK"

NOTA: Algunos autores llaman en general a los Flip-flops como "biestables" y en particular a (1) como "latches" y a (2) como Flip-flops.

Flip-Flops

Concepto de memoria



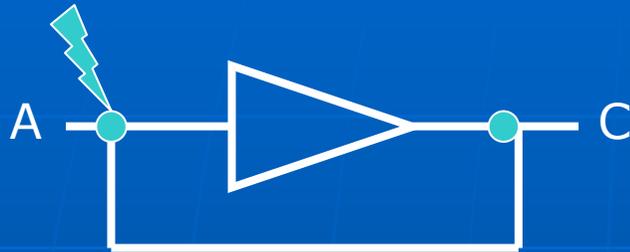
En este ejemplo, una vez que la salida se pone a "1" por la realimentación que existe con la entrada no hay manera alguna de que la salida siga respondiendo a la entrada A.

Esto esconde una cierta capacidad de memorizar un evento ya que ahora a diferencia de los circuitos combinatorios nos encontramos con uno del tipo secuencial: Aquí la salida no sólo depende de la entrada sino además de su estado previo.

ESTE CONCEPTO ES MUY IMPORTANTE YA QUE LA CAPACIDAD DE UN CIRCUITO DE MEMORIZAR DA ORIGEN A UNA SERIE DE DISPOSITIVOS TALES COMO FLIP-FLOPS, CONTADORES, REGISTROS DE DESPLAZAMIENTO, MICROPROCESADORES, MEMORIAS, ETC.

Flip-Flops

Elemento básico de memoria: El Flip-Flop asincrónico



Una manera de poder almacenar un estado lógico a la salida de una compuerta sería la de aplicar en un dado momento una tensión a su entrada para que la salida vaya a "0" ó "1"

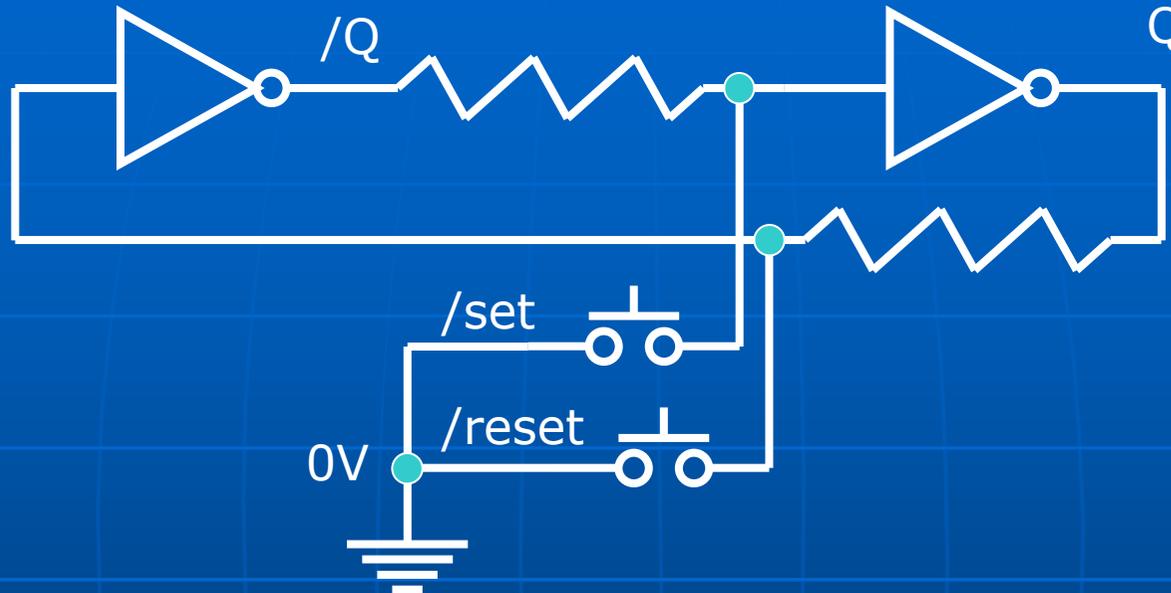
Una manera mas interesante es la de emplear por ejemplo lo siguiente para poder disponer de dos entradas de control.



El problema es la carga R de realimentación que degrada la operación de la compuerta.

Flip-Flops

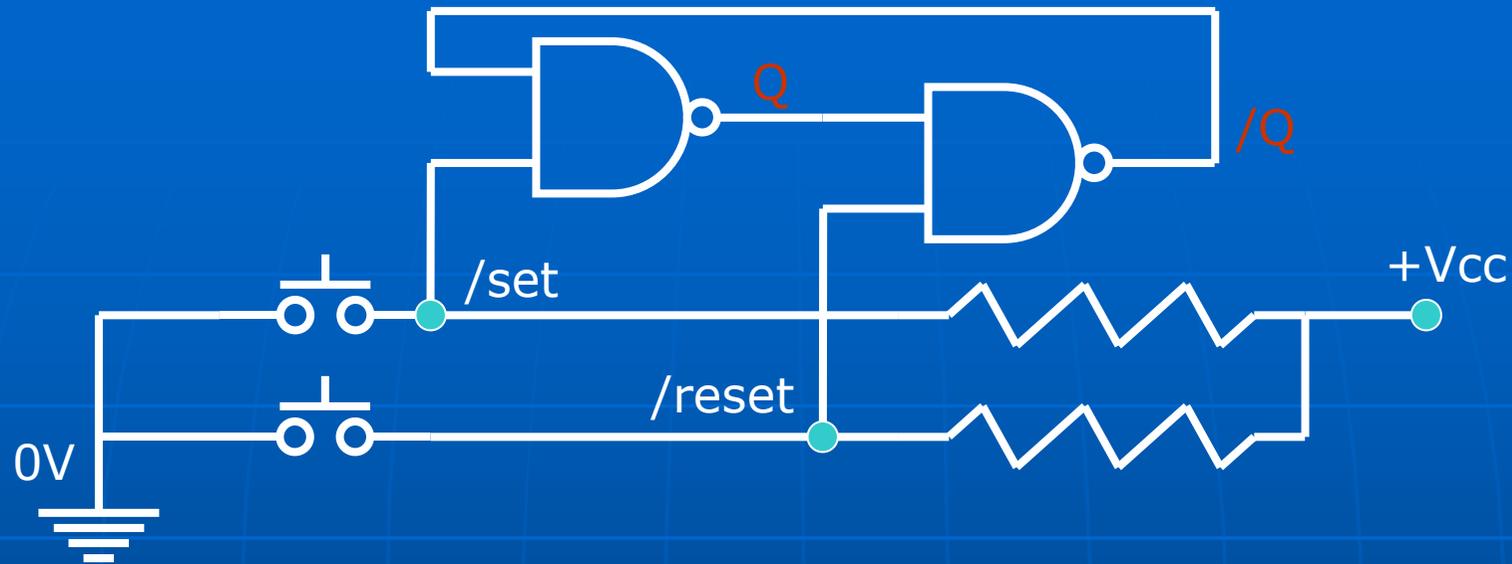
FLIP-FLOPS ASINCRÓNICOS



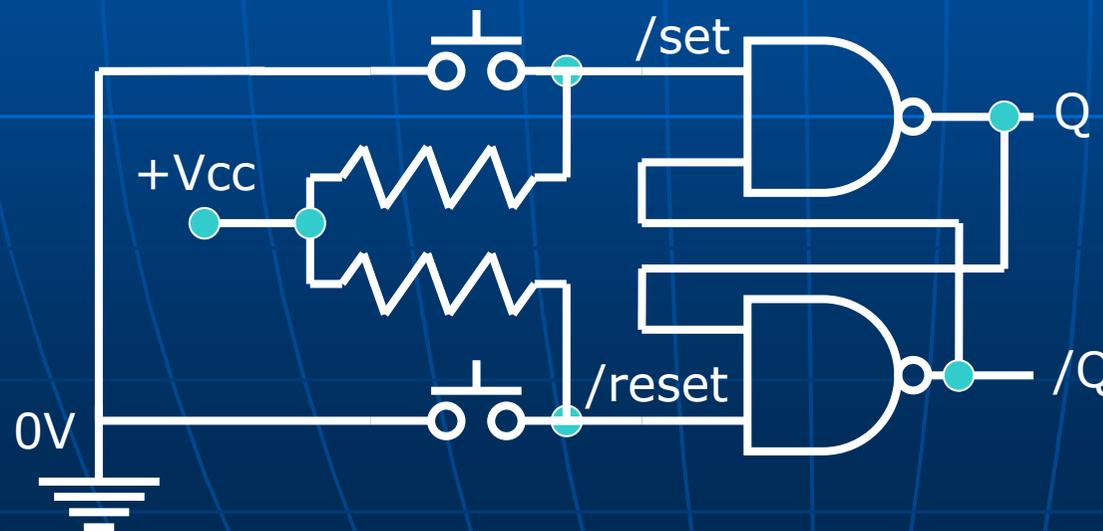
Esto mejora ya que disponemos de la salida Q (Q) y su negación (\overline{Q})
La entrada $\overline{\text{reset}}$ es tal que activa el "borrado" de Q (ponerla a "0") con un valor de esa entrada en "bajo" (por eso el signo de negación).
La entrada $\overline{\text{set}}$ es tal que activa el "seteo" ó puesta a "1" lógico de la salida Q , siendo esta entrada activa en nivel también "bajo".

Flip-Flops

FLIP-FLOPS ASINCRÓNICOS



REORDENANDO UN POCO:



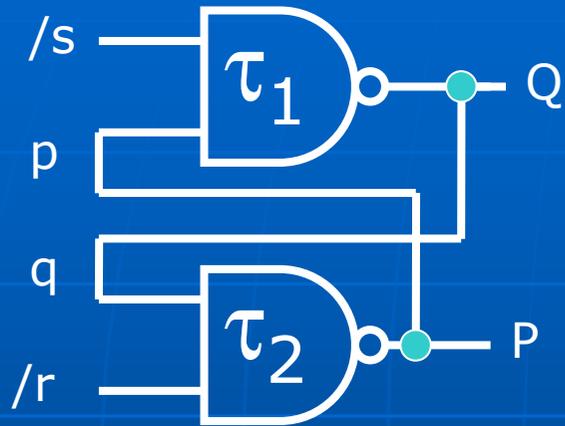
Este circuito se denomina:

FLIP-FLOP /S /R

Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

ANÁLISIS DE FUNCIONAMIENTO:



Una manera de hacerlo es la de emplear diagramas de Karnaugh para seguir la evolución de las salidas cuando hay cambios en las entradas.

SUPONDREMOS QUE
CADA COMPUERTA
TIENE UN RETARDO τ .

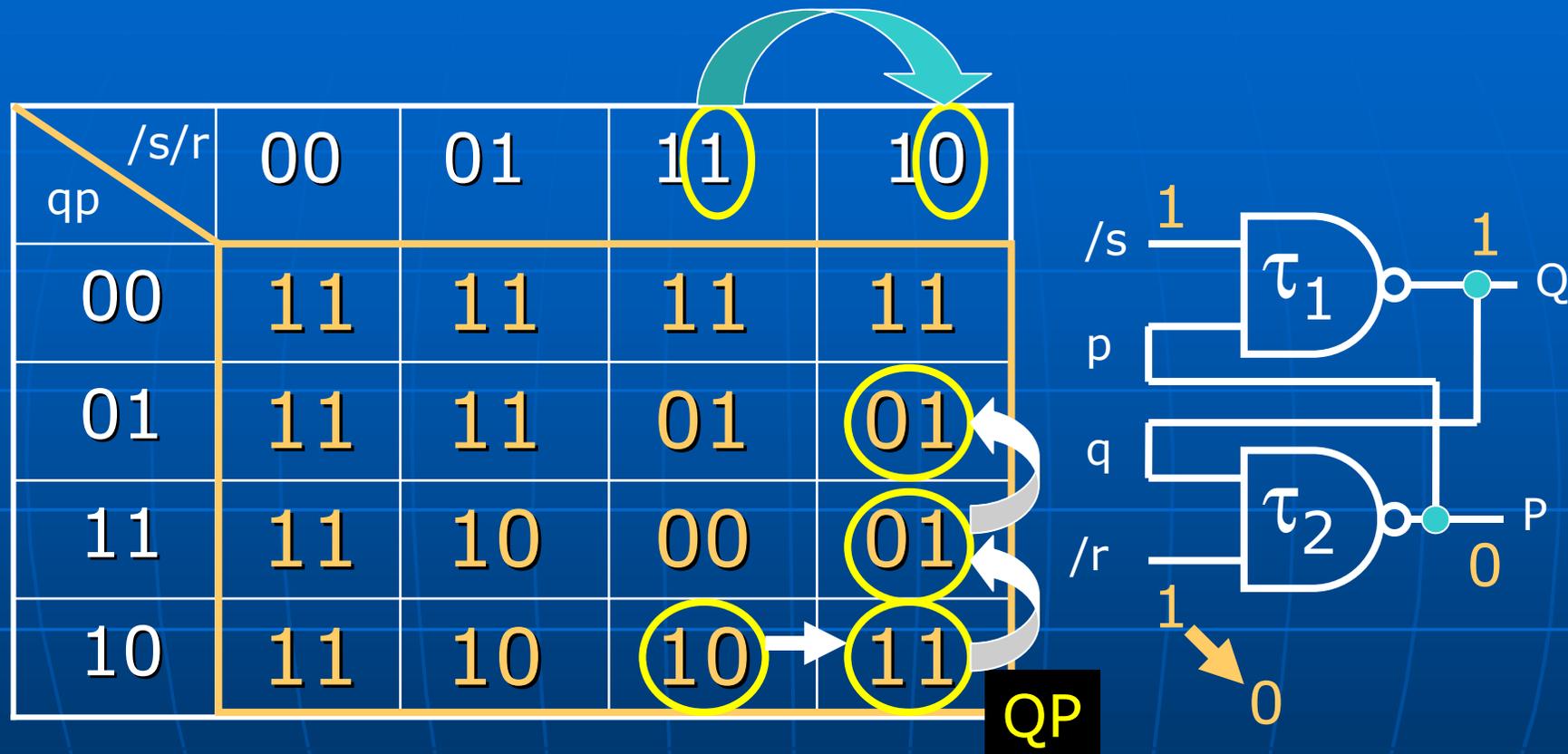
$qp \backslash /s/r$	00	01	11	10
00	11	11	11	11
01	11	11	01	01
11	11	10	00	01
10	11	10	10	11

QP

Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 11$ y $qp = 10 \rightarrow$ se pasa $/r$ de 1 a 0



El cambio en $/r$ hace cambiar la salida P luego de τ_2 siendo $QP = 11$.
 luego el 1 en p hace que pasado un tiempo τ_1 , pase Q a 0, quedando el
 circuito ya estable en $QP = 01$.

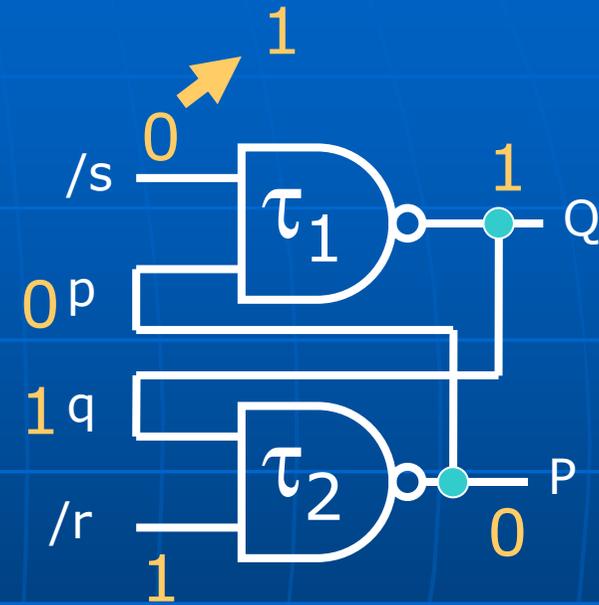
Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 01$ y $qp = 10 \rightarrow$ se pasa $/s$ de 0 a 1

$qp \backslash /s/r$	00	01	11	10
00	11	11	11	11
01	11	11	01	01
11	11	10	00	01
10	11	10	10	11

QP

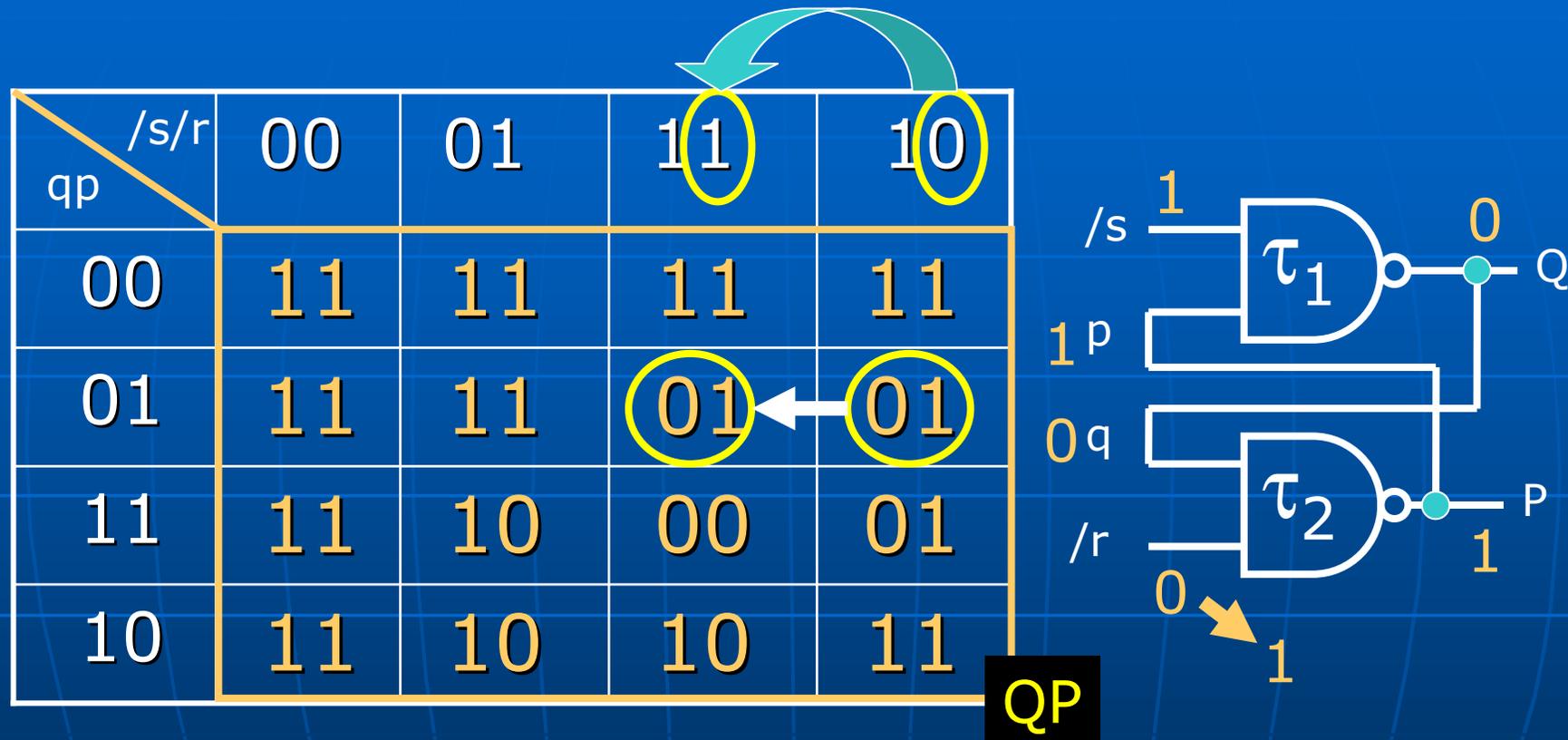


EL CAMBIO EN $/s$ NO TIENE EFECTO

Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 10$ y $qp = 01 \rightarrow$ se pasa $/r$ de 0 a 1



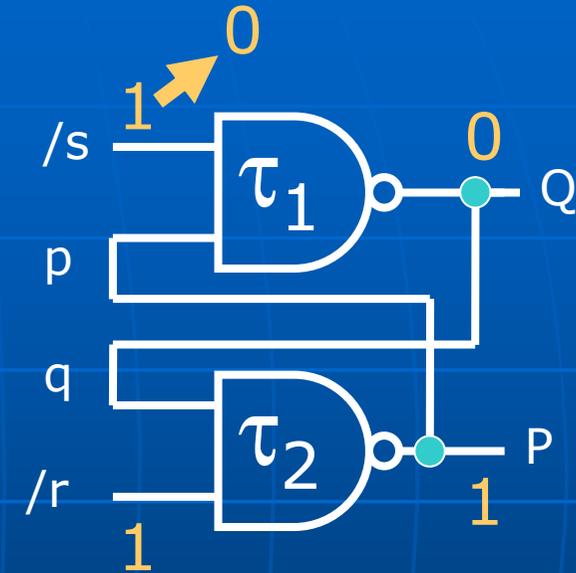
EL CAMBIO EN $/r$ NO TIENE EFECTO

Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 11$ y $qp = 01 \rightarrow$ se pasa $/s$ de 1 a 0

$qp \backslash /s/r$	00	01	11	10
00	11	11	11	11
01	11	11	01	01
11	11	10	00	01
10	11	10	10	11



LOS ESTADOS EN ROJO SON INESTABLES

QP

Nota: En ROJO se dibujaron estados intermedios

El cambio en $/s$ hace cambiar la salida Q luego de τ_1 siendo $QP = 11$. luego el 1 en q hace que pasado un tiempo τ_2 , pase P a 0, quedando el circuito ya estable en $QP = 10$.

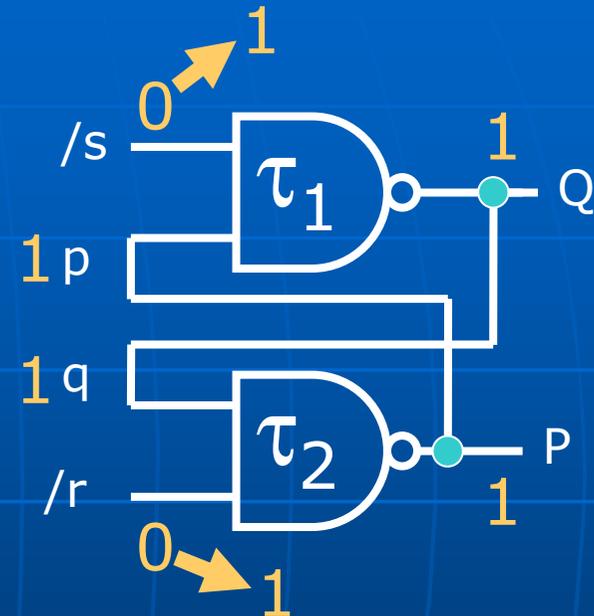
Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 00$ y $qp = 11 \rightarrow$ se pasa $/s/r$ ambas a 1

$qp \backslash /s/r$	00	01	11	10
00	11	11	11	11
01	11	11	01	01
11	11	10	00	01
10	11	10	10	11

QP



Dependiendo de los valores relativos de los retardos el resultado final será diferente:

Si $\tau_1 = \tau_2$ el circuito oscilará con las salidas cambiando entre 00 y 11 a una frecuencia igual a $1/(2\tau_1) = 1/(\tau_2)$.

Si $\tau_1 < \tau_2$ quedarán las salidas en $QP = 01$ ó $QP = 10$ en caso contrario.

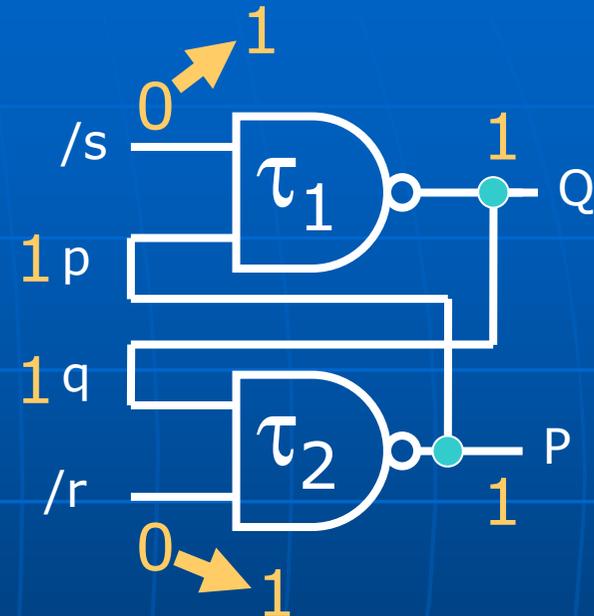
Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 00$ y $qp = 11 \rightarrow$ se pasa $/s/r$ ambas a 1

$qp \backslash /s/r$	00	01	11	10
00	11	11	11	11
01	11	11	01	01
11	11	10	00	01
10	11	10	10	11

QP



Si $\tau_1 = \tau_2$ el circuito oscilará con las salidas cambiando entre 00 y 11 a una frecuencia igual a $1/(2\tau_1) = 1/(\tau_2)$.

Flip-Flops

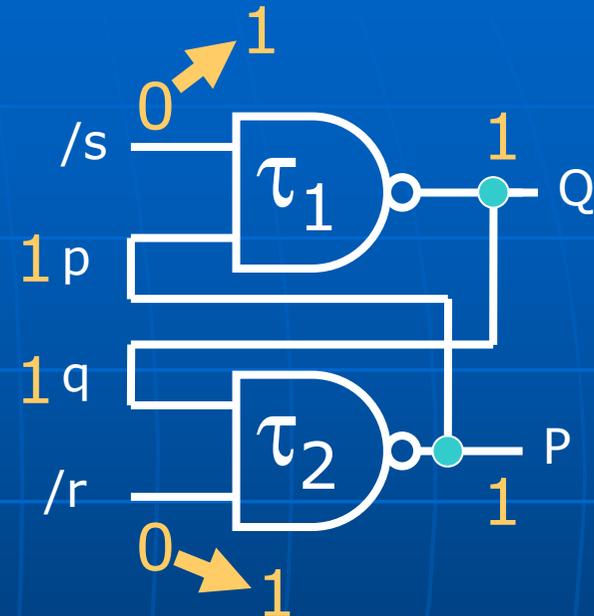
FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 00$ y $qp = 11 \rightarrow$ se pasa $/s/r$ ambas a 1



$qp \backslash /s/r$	00	01	11	10
00	11	11	11	11
01	11	11	01	01
11	11	10	00	01
10	11	10	10	11

QP



Si $\tau_1 < \tau_2$ las salidas quedarán en $QP = 01$.

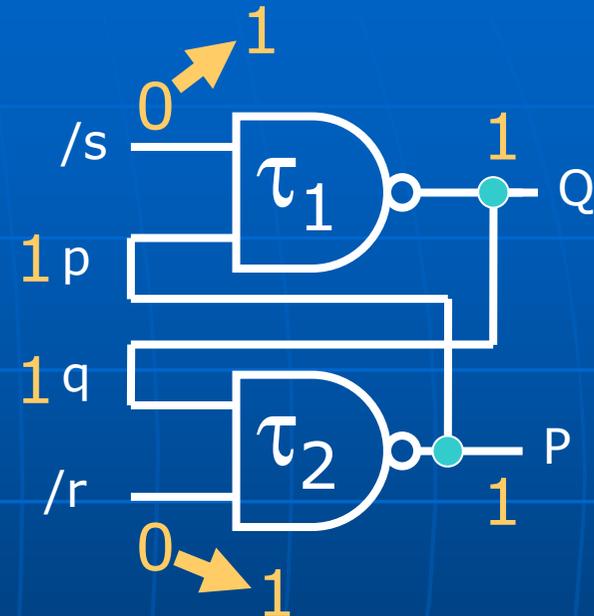
Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

Caso: $/s/r = 00$ y $qp = 11 \rightarrow$ se pasa $/s/r$ ambas a 1

$qp \backslash /s/r$	00	01	11	10
00	11	11	11	11
01	11	11	01	01
11	11	10	00	01
10	11	10	10	11

QP



Si $\tau_1 > \tau_2$ las salidas quedarán en $QP = 10$.

TABLA DE VERDAD DEL FLIP-FLOP /S/R

/s	/r	Q(n+1)	/Q(n+1)
0	0	Prohibido	Prohibido
0	1	1	0
1	0	0	1
1	1	Q(n)	/Q(n)

El estado $/s/r = 00$ se considera prohibido debido a la posible contingencia que se quiera pasar de 00 a 11 y no se pueda garantizar el estado final de las salidas. Además $/s/r = 00$ dá $Q/Q = 11$ lo que no es admisible.

El estado $/s/r = 11$ denota la capacidad que tiene el Flip-Flop para memorizar un evento.

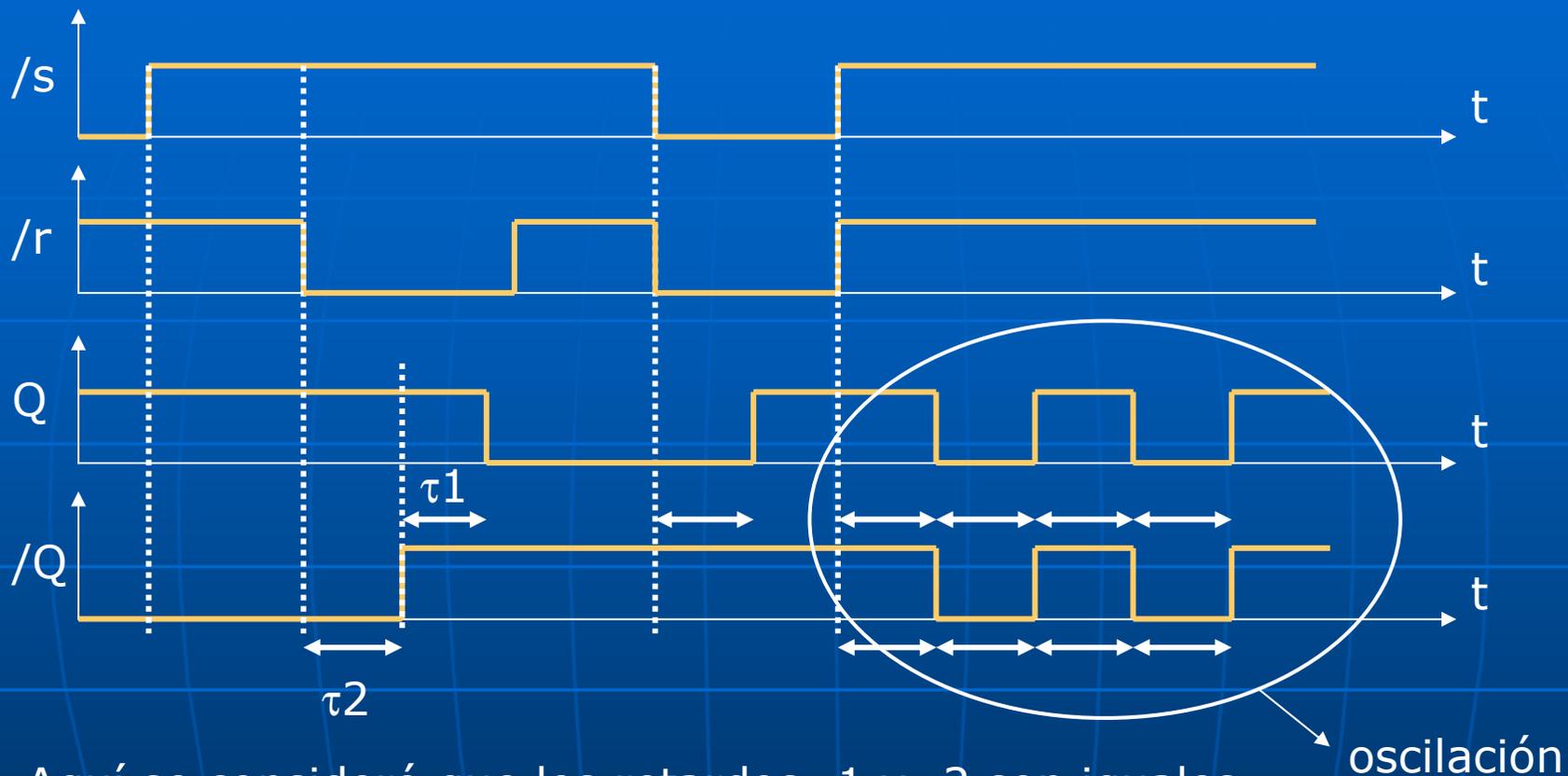
$Q(n+1)$ denota el estado siguiente.

$Q(n)$ denota el estado actual.

Flip-Flops

FLIP-FLOPS ASINCRÓNICOS

RESPUESTA TEMPORAL DEL FLIP-FLOP /S/R

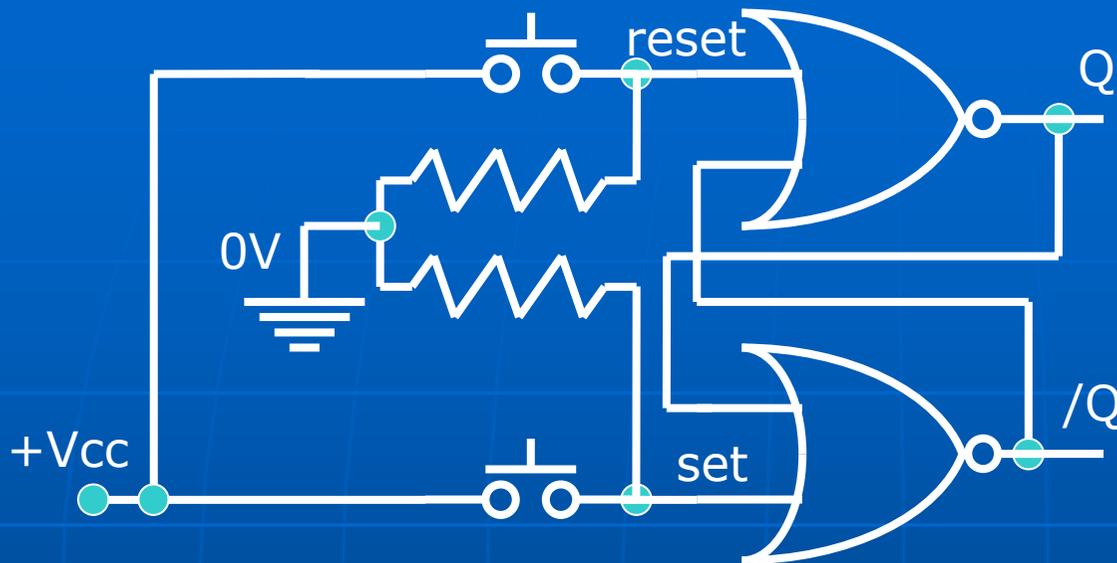


Aquí se consideró que los retardos τ_1 y τ_2 son iguales.

En la realidad τ_1 y τ_2 son parecidos pero no iguales por lo que si se genera la secuencia de entrada $00 \rightarrow 11$, las salidas luego de una serie de oscilaciones terminarán en 01 ó 10 .

Flip-Flops

FLIP-FLOPS ASINCRÓNICOS



Este circuito se denomina:

FLIP-FLOP R S

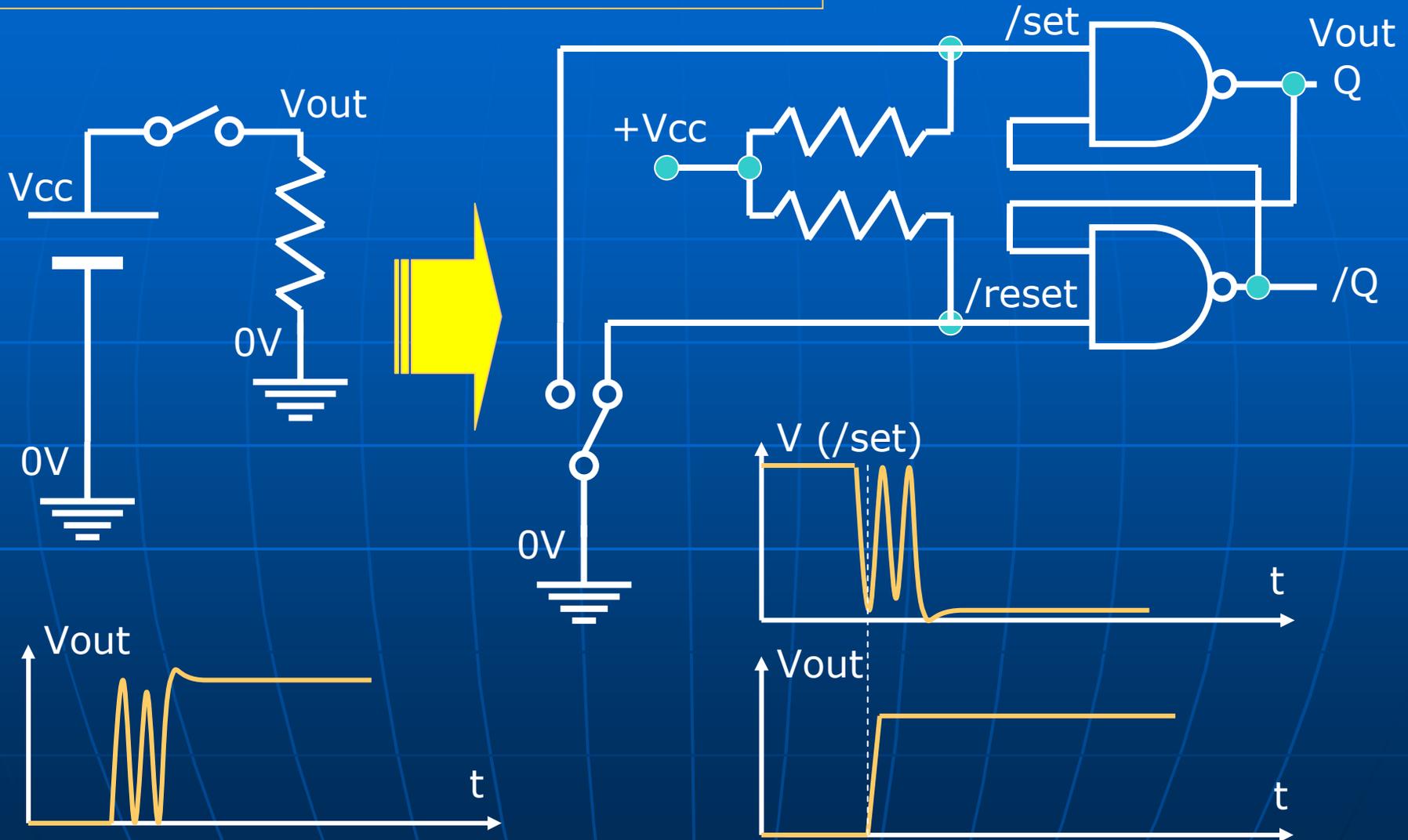
r	s	$Q(n+1)$	$/Q(n+1)$
0	0	$Q(n)$	$/Q(n)$
0	1	1	0
1	0	0	1
1	1	Prohibido	Prohibido

El Flip-Flop RS está basado en compuertas NOR.
La condición prohibida en este caso es cuando $rs = 11$ ya que si $rs = 00$ y se pasa a $rs = 11$ el resultado de las salidas es impredecible.
Además $rs = 11$ dá $Q /Q = 00$ lo que no es admisible.

Flip-Flops

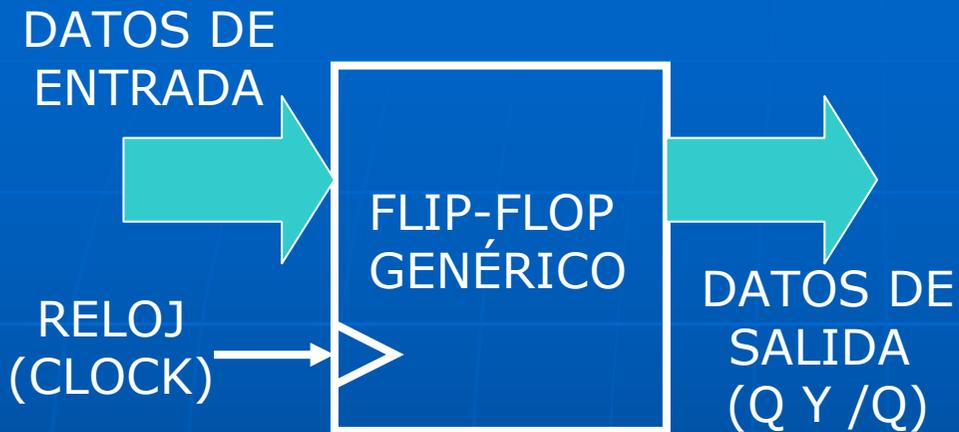
FLIP-FLOPS ASINCRÓNICOS

EJEMPLO: INTERRUPTOR ANTIREBOTE



Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR NIVEL



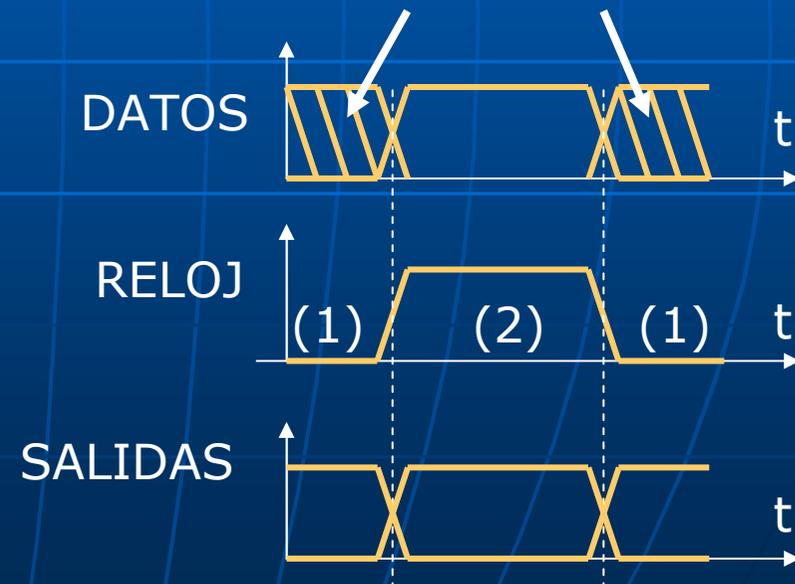
CLASIFICACIÓN

FF TIPO "RS"
FF TIPO "D"
FF TIPO "JK"
FF TIPO "T"

EJEMPLO DE UN FLIP-FLOP DISPARADO POR NIVEL DE RELOJ EN ALTO

Las salidas podrán cambiar sólo cuando el reloj esté en estado alto (2) respondiendo a su tabla de verdad. En bajo, Q y /Q mantienen el estado anterior (1).

No interesa si cambian las entradas



Flip-Flops

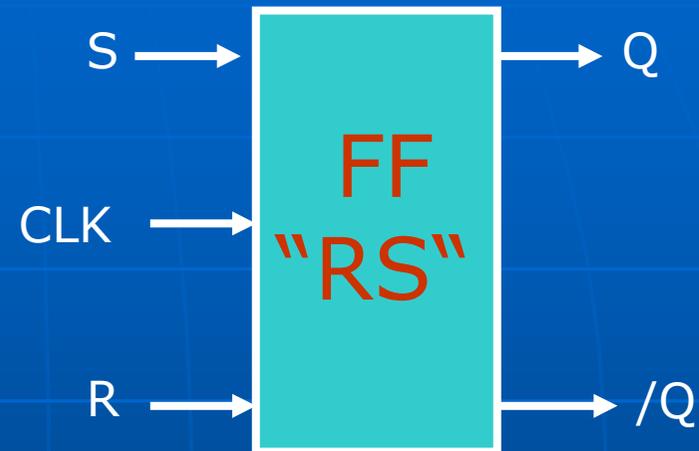
FLIP-FLOP RS sincrónico

Caso: ACTIVO EN NIVEL ALTO

TABLA DE VERDAD

CLK	R	S	Q_{n+1}	$/Q_{n+1}$
1	0	0	Q_n	$/Q_n$
1	0	1	1	0
1	1	0	0	1
1	1	1	Proh.	Proh.
0	X	X	Q_n	$/Q_n$

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR NIVEL

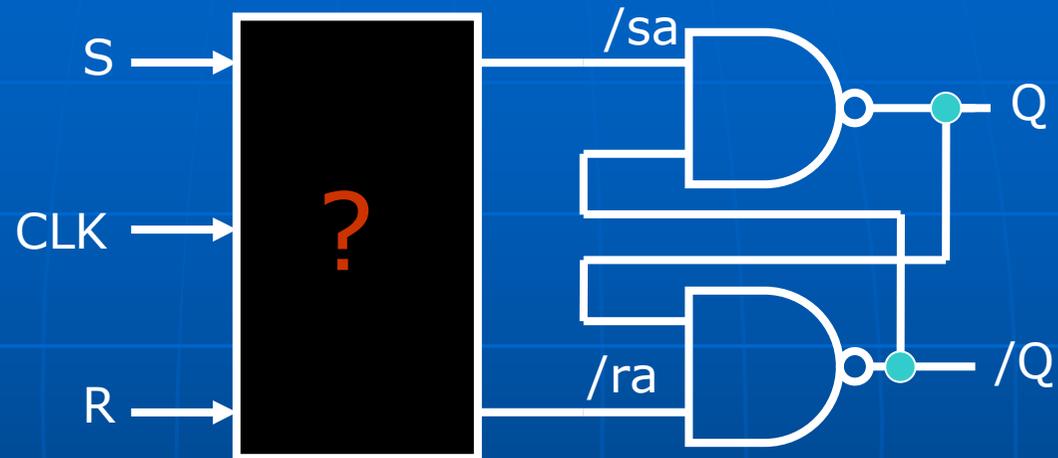


Indica que no interesa el estado de las entradas R y S. Las salidas mantienen el estado anterior antes de la bajada de CLK.

Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR NIVEL

FLIP-FLOP RS BASADO EN FLIP-FLOP /S/R ASINCRÓNICO



La caja "negra" es un circuito de lógica combinatoria con 3 entradas y 2 salidas tal que dependiendo de los valores de S, R y CLK, ponga en las entradas /sa y /ra los valores correctos para que el conjunto cumpla con la tabla de verdad del Flip-Flop RS síncronico.

Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR NIVEL

FLIP-FLOP "RS" BASADO EN FLIP-FLOP /S/R ASINCRÓNICO

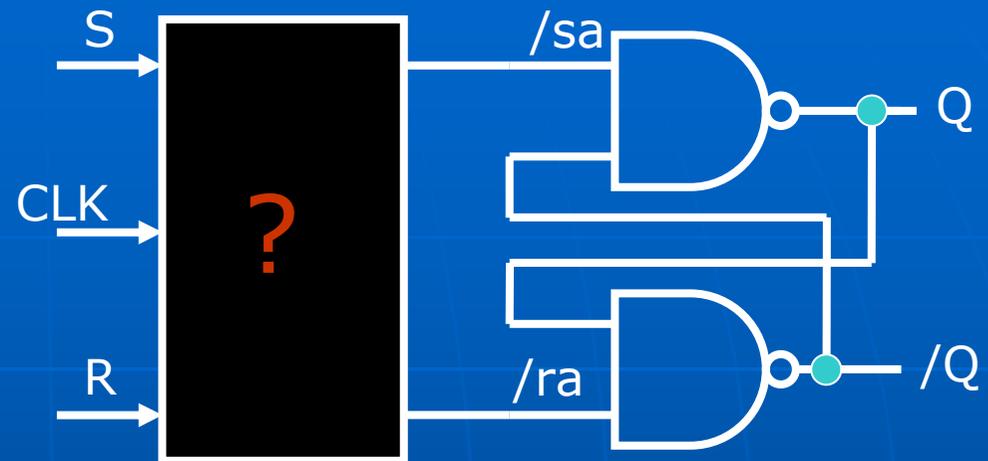


TABLA DE VERDAD

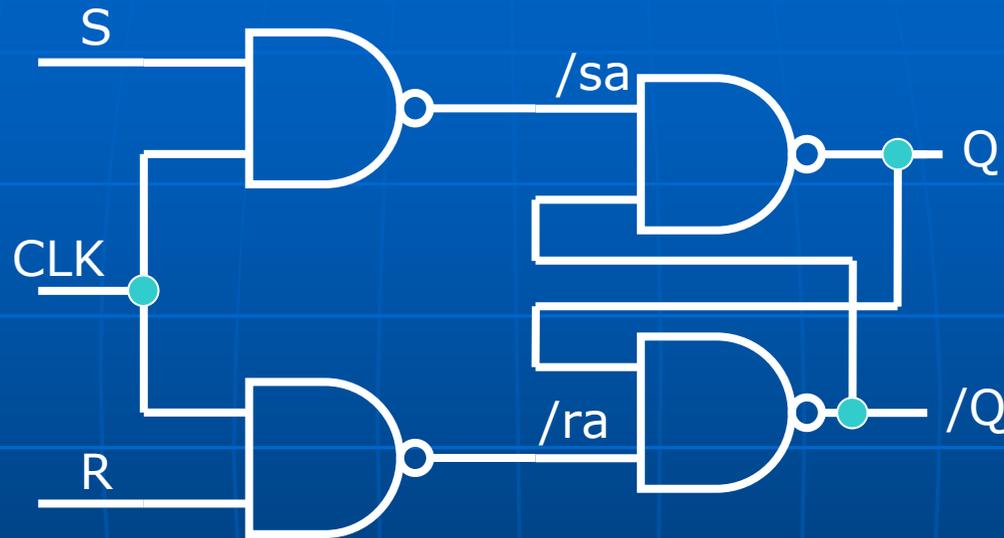
CLK	R	S	/sa	/ra
1	0	0	1	1
1	0	1	0	1
1	1	0	1	0
1	1	1	X	X
0	X	X	1	1

Podemos jugar con los don't care para simplificar las funciones de salida de /sa y /ra ya que la combinación RS = 11 es prohibida y se supone no se va a usar nunca.

Flip-Flops

FLIP-FLOPS SINCRÓNICOS

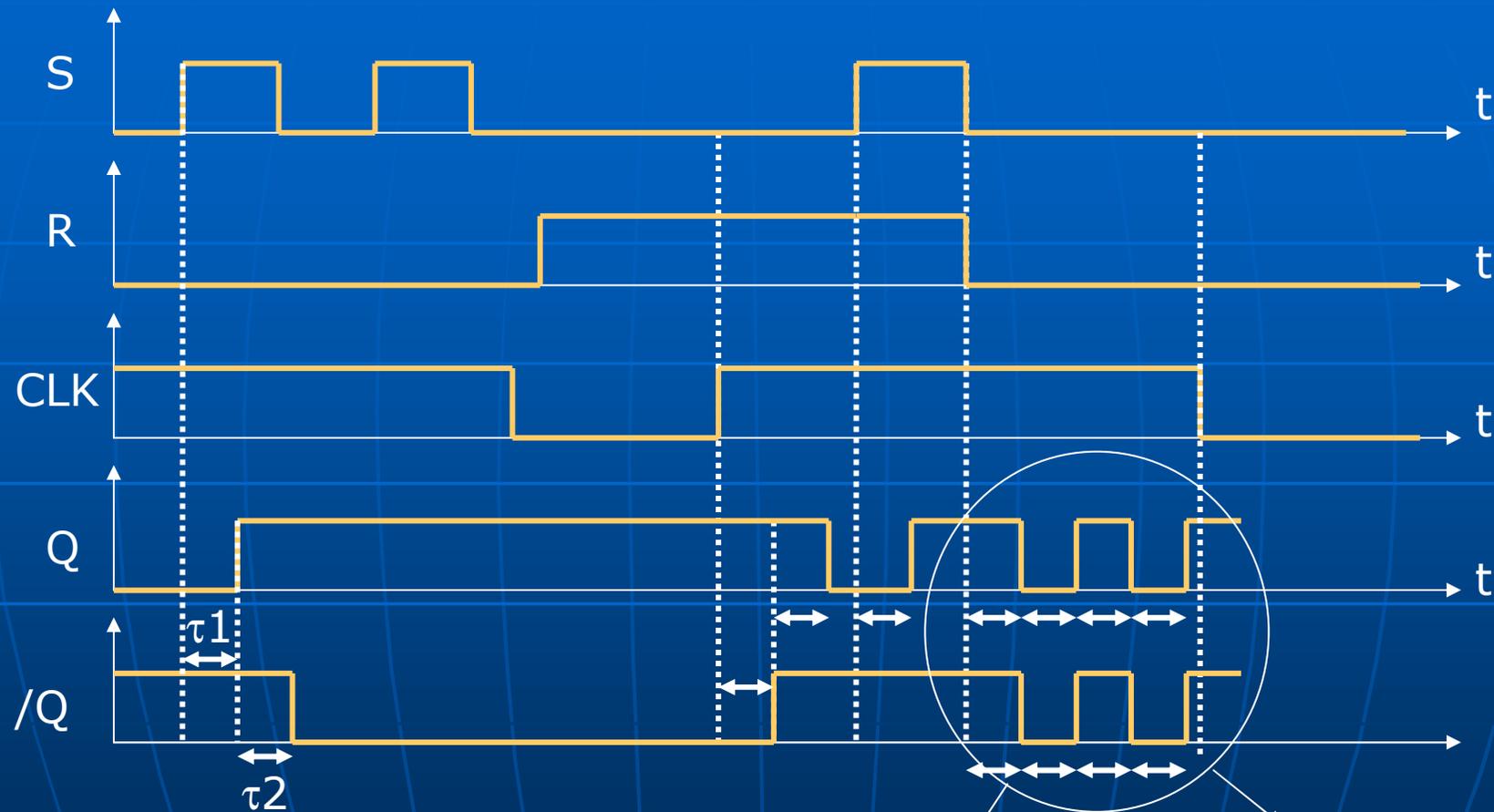
CIRCUITO FINAL DEL FLIP-FLOP "RS" SINCRÓNICO
DISPARADO POR NIVEL ALTO DE RELOJ



Flip-Flops

FLIP-FLOPS SINCRÓNICOS

RESPUESTA TEMPORAL DEL FLIP-FLOP RS DISPARADO POR NIVEL



Se considera aquí que $\tau_1 = \tau_2$.

En general el estado final de las salidas será incierto.....

Flip-Flops

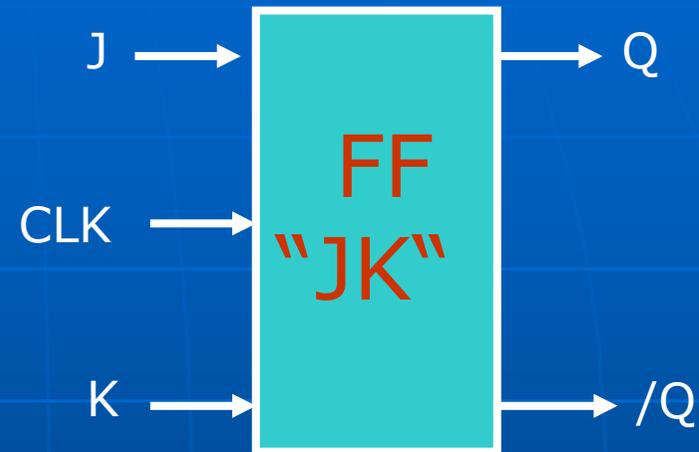
FLIP-FLOP "JK" sincrónico

Caso: ACTIVO EN NIVEL ALTO

TABLA DE VERDAD

CLK	J	K	Q_{n+1}	$/Q_{n+1}$
1	0	0	Q_n	$/Q_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	$/Q_n$	Q_n
0	X	X	Q_n	$/Q_n$

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR NIVEL



Para JK = 11 las salidas estarán oscilando permanentemente si el CLK está en "1".

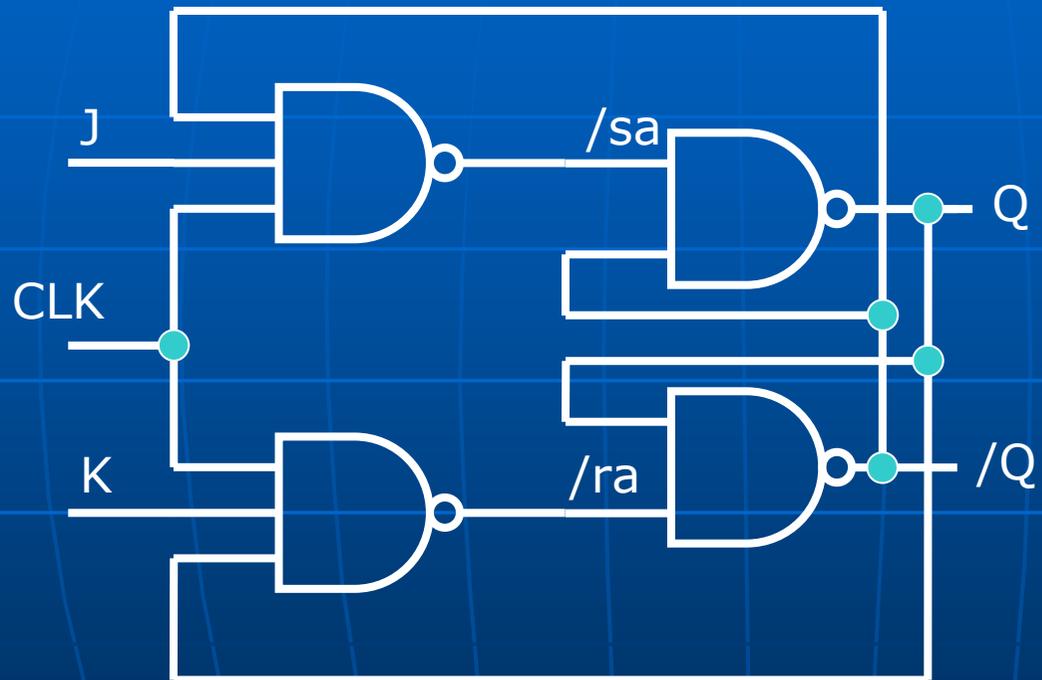
Las salidas mantienen el estado anterior antes de la bajada de CLK.

Flip-Flops

FLIP-FLOPS SINCRÓNICOS

CIRCUITO FINAL DEL FLIP-FLOP "JK" SINCRÓNICO
DISPARADO POR NIVEL ALTO DE RELOJ

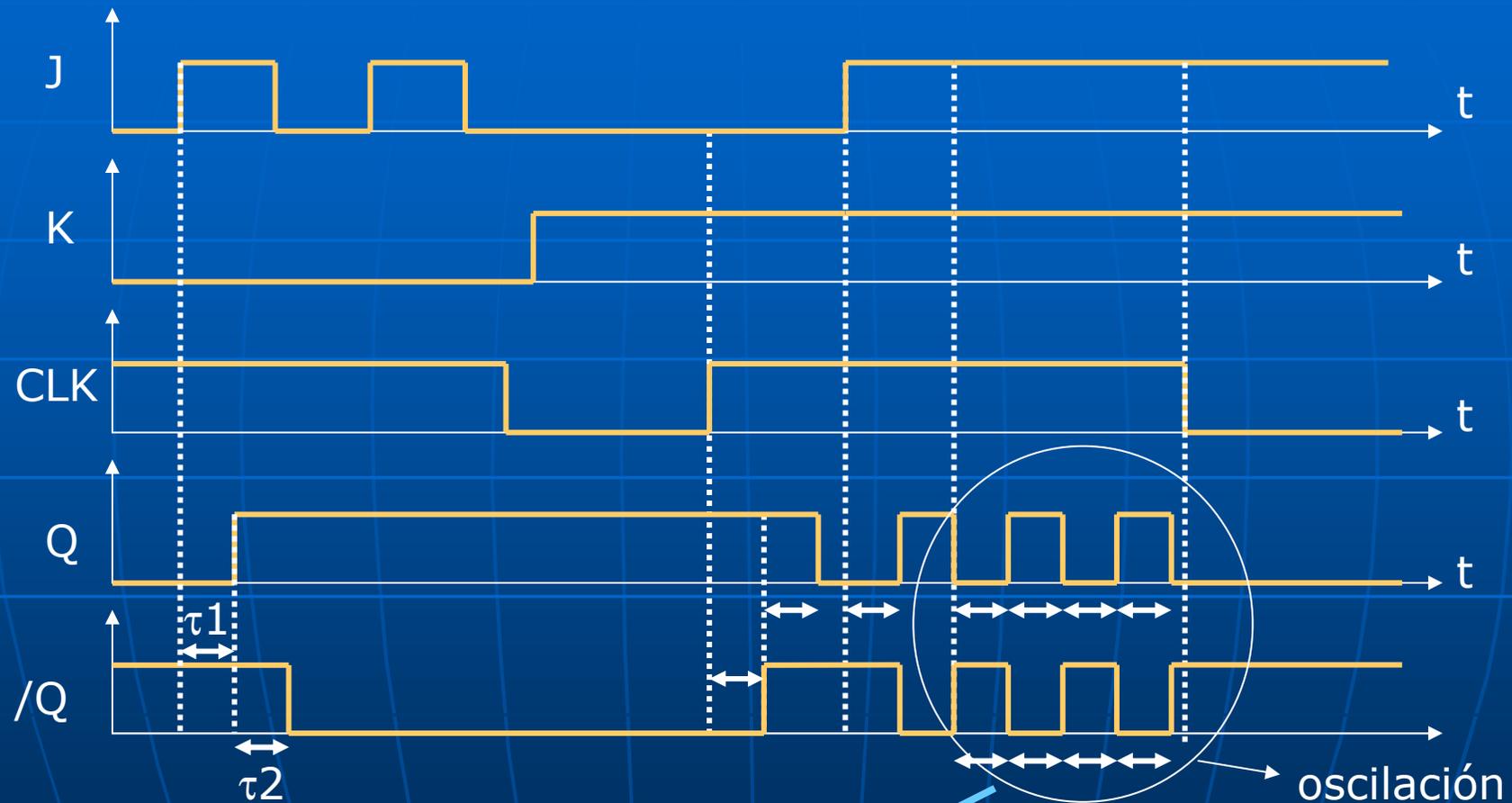
Caso: ACTIVO EN NIVEL ALTO



Flip-Flops

FLIP-FLOPS SINCRÓNICOS

RESPUESTA TEMPORAL DEL FLIP-FLOP "JK" DISPARADO POR NIVEL



A diferencia del Flip-Flop RS aquí siempre hay oscilación cruzada entre Q y /Q ya que JK=11 y se niega el estado siguiente de Q.

Flip-Flops

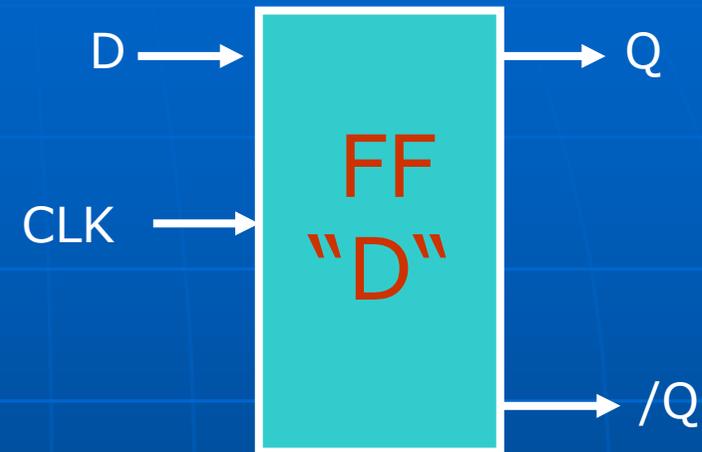
FLIP-FLOPS SINCRÓNICOS DISPARADOS POR NIVEL

FLIP-FLOP "D" sincrónico

Caso: ACTIVO EN NIVEL ALTO

TABLA DE VERDAD

CLK	D	Q_{n+1}	$/Q_{n+1}$
1	0	0	1
1	1	1	0
0	X	Q_n	$/Q_n$



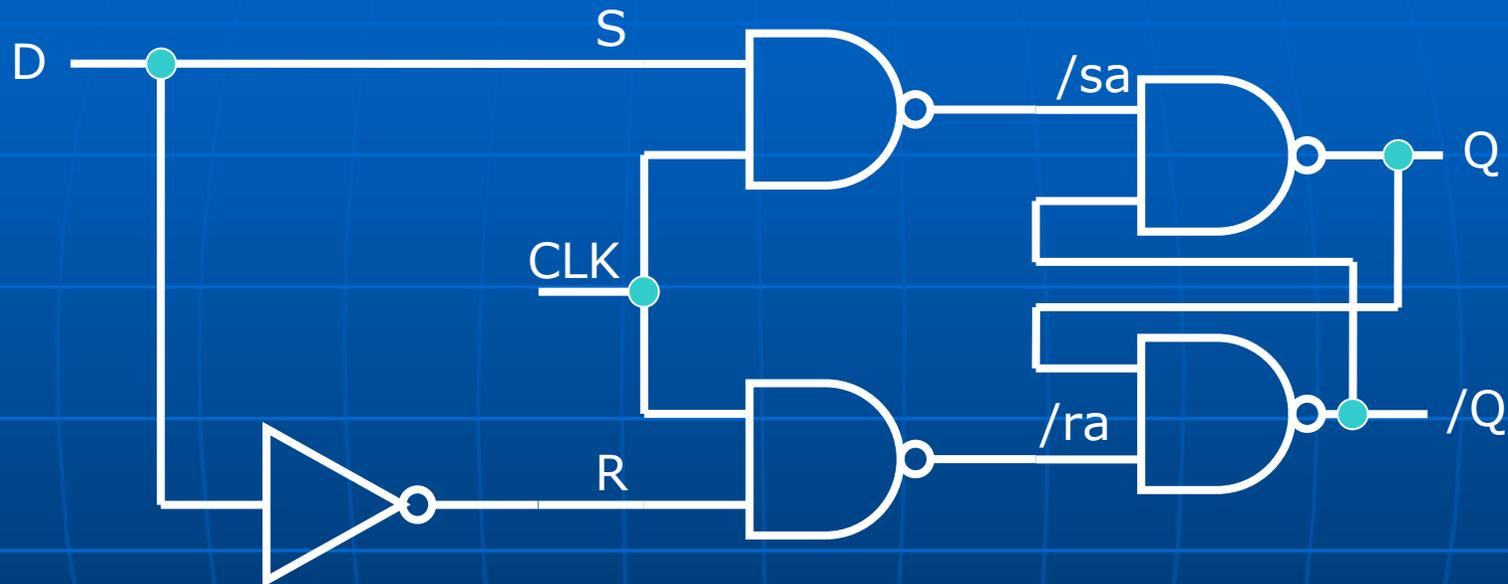
Indica que no interesa el estado de las entrada D. Las salidas mantienen el estado anterior antes de la bajada de CLK.

Este Flip-Flop se denomina también "copiador" ya que la salida responde poniendo el mismo valor que aparece en la entrada cuando es habilitado por la señal de reloj.

Flip-Flops

FLIP-FLOPS SINCRÓNICOS

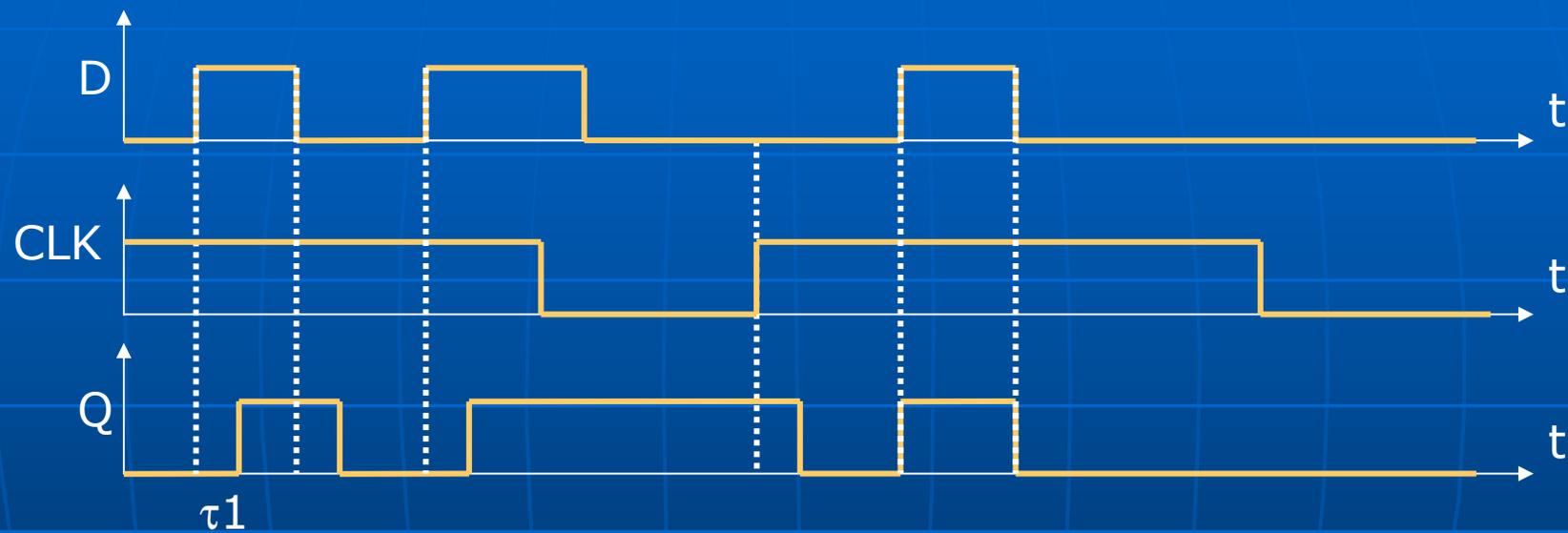
CIRCUITO FINAL DEL FLIP-FLOP "D" SINCRÓNICO
DISPARADO POR NIVEL ALTO DE RELOJ



Flip-Flops

FLIP-FLOPS SINCRÓNICOS

RESPUESTA TEMPORAL DEL FLIP-FLOP D DISPARADO POR NIVEL



Flip-Flops

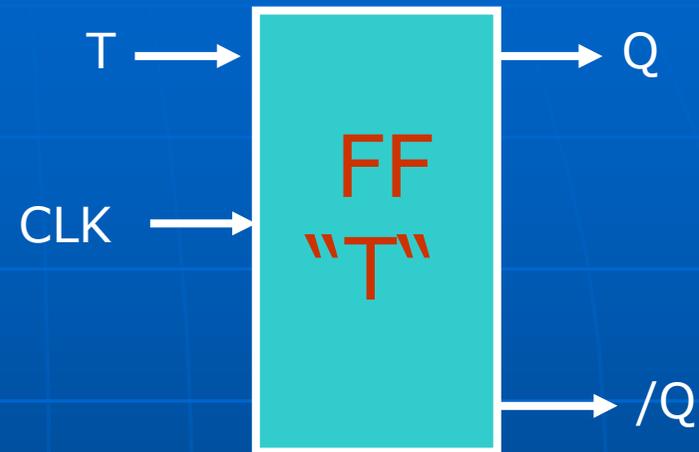
FLIP-FLOPS SINCRÓNICOS DISPARADOS POR NIVEL

FLIP-FLOP "T" sincrónico

Caso: ACTIVO EN NIVEL ALTO

TABLA DE VERDAD

CLK	T	Q_{n+1}	$/Q_{n+1}$
1	0	Q_n	$/Q_n$
1	1	$/Q_n$	Q_n
0	X	Q_n	$/Q_n$

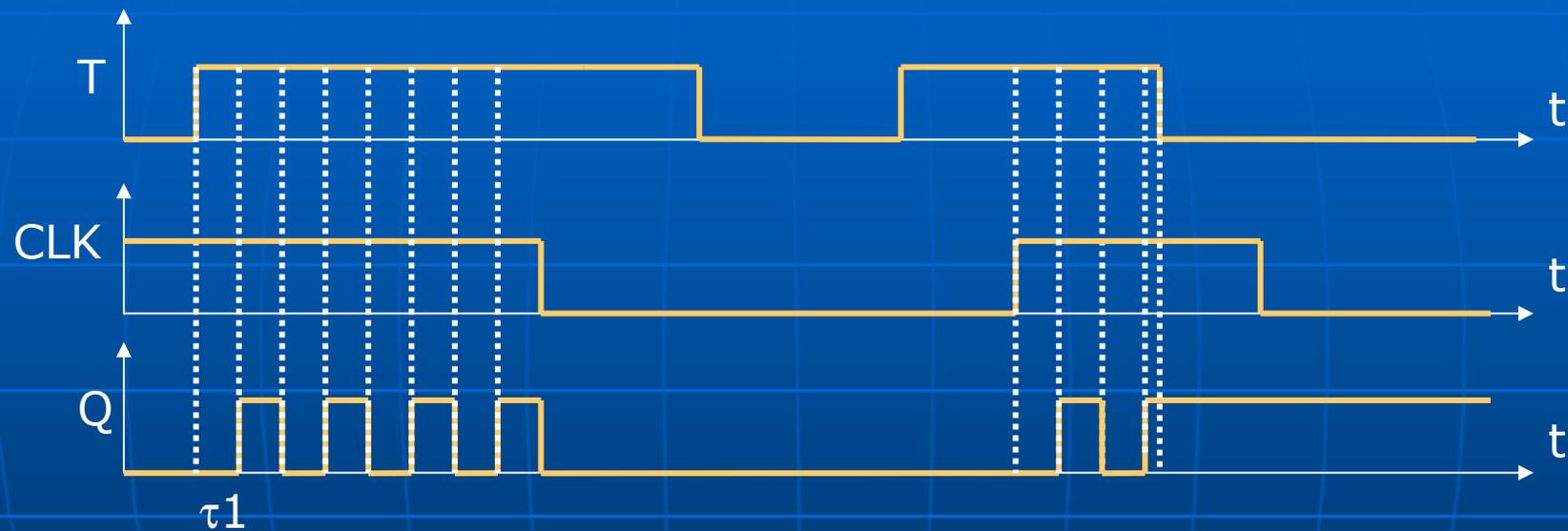


Este Flip-Flop se denomina también "basculante" ó "toogle" ya que la salida responde poniendo el estado negado que aparece en la entrada cuando es habilitado por la señal de reloj cuando $T = "1"$.

Flip-Flops

FLIP-FLOPS SINCRÓNICOS

RESPUESTA TEMPORAL DEL FLIP-FLOP "T" DISPARADO POR NIVEL



DISEÑO DE FLIP-FLOP TIPO "D" BASADO EN UNO "JK"

TABLA DE VERDAD DE "JK"

CLK	J	K	Q_{n+1}	$/Q_{n+1}$
1	0	0	Q_n	$/Q_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	$/Q_n$	Q_n
0	X	X	Q_n	$/Q_n$

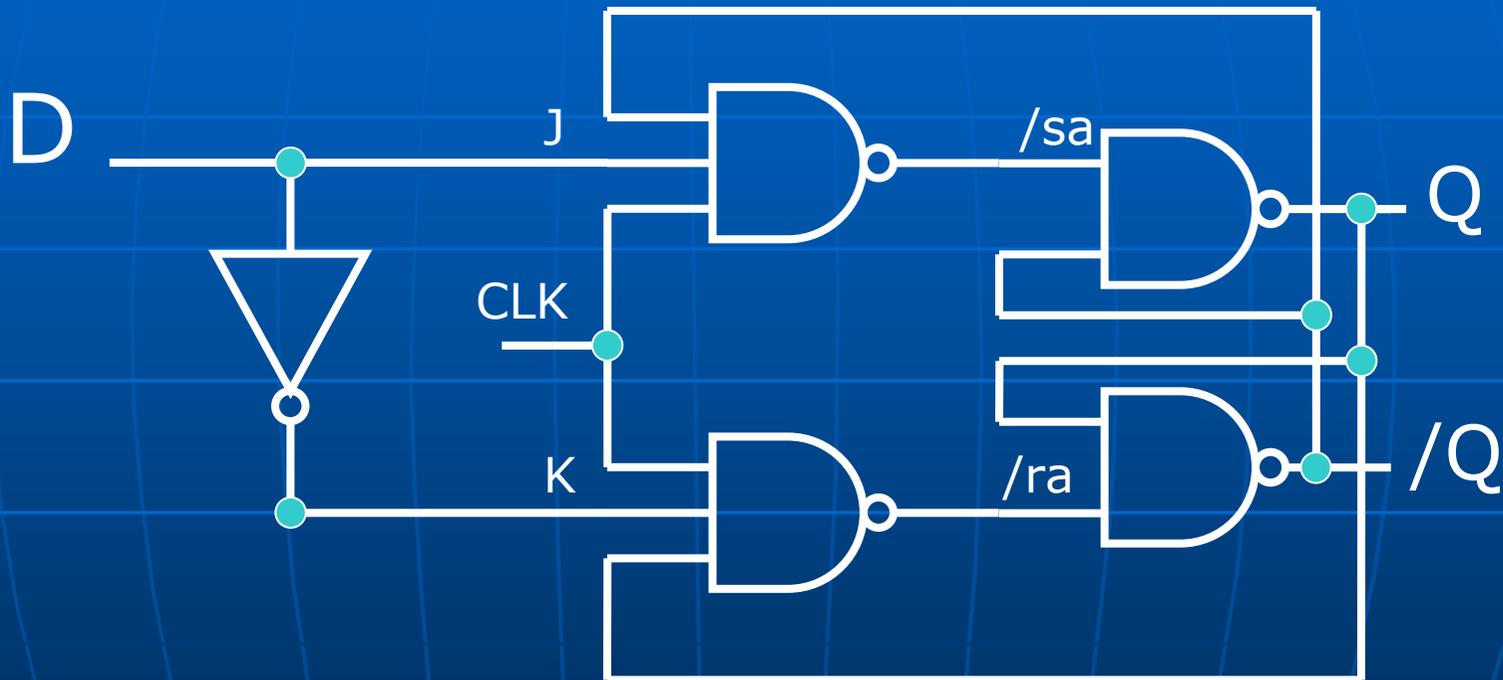
USANDO UN NEGADOR ENTRE "J" Y "K" Y ENTRANDO EL DATO DESDE "J" OBTENEMOS LA TABLA DE VERDAD DE UN FLIP-FLOP "D"

Flip-Flops

FLIP-FLOPS SINCRÓNICOS

CIRCUITO FINAL DEL FLIP-FLOP "D" SINCRÓNICO
DISPARADO POR NIVEL ALTO DE RELOJ

Caso: ACTIVO EN NIVEL ALTO



DISEÑO DE FLIP-FLOP TIPO "T" BASADO EN UNO "JK"

TABLA DE VERDAD DE "JK"

CLK	J	K	Q_{n+1}	$/Q_{n+1}$
1	0	0	Q_n	$/Q_n$
1	0	1	0	1
1	1	0	1	0
1	1	1	$/Q_n$	Q_n
0	X	X	Q_n	$/Q_n$

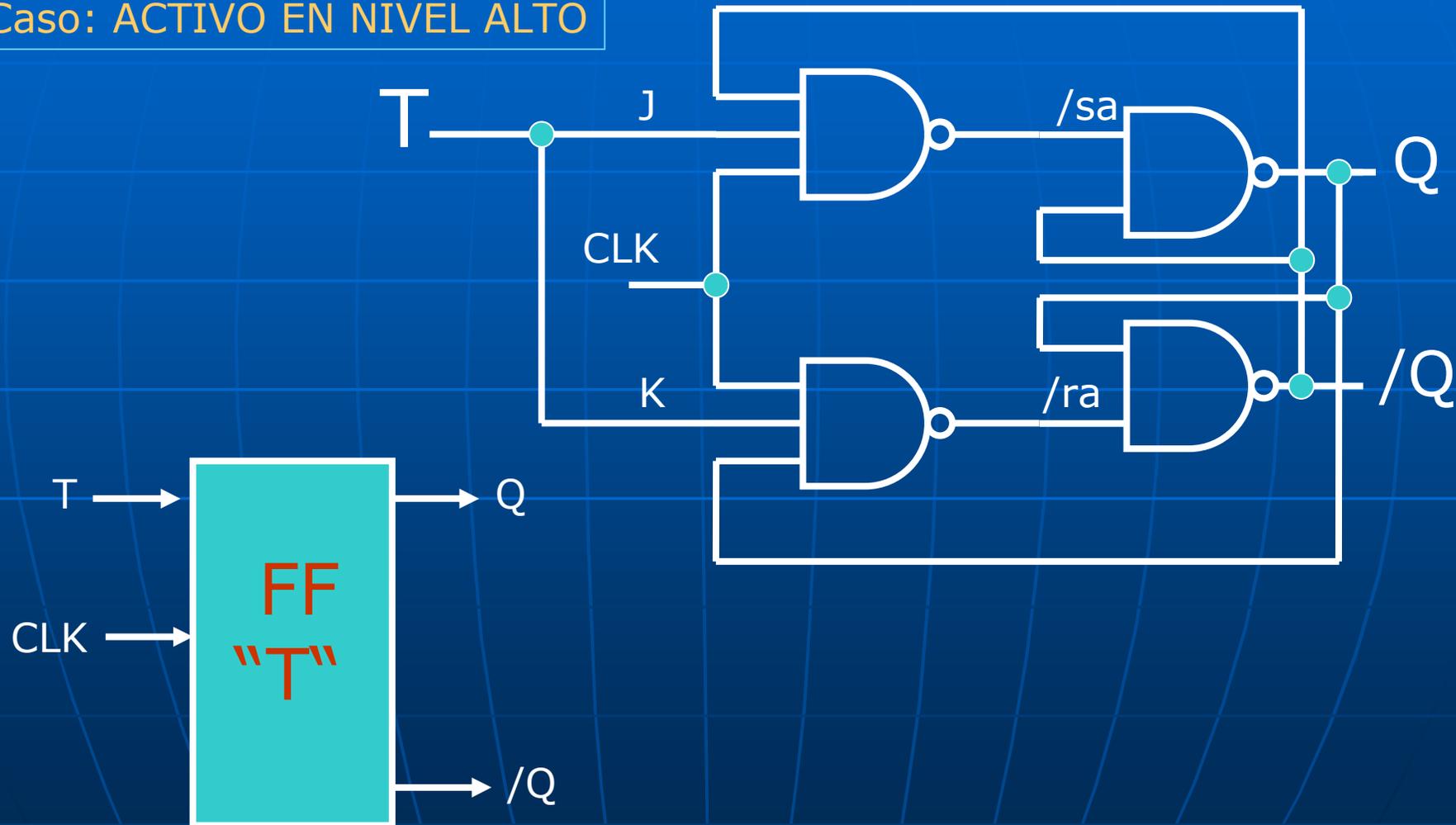
UNIENDO J CON K
OBTENEMOS LA
TABLA DE VERDAD
DE UN FLIP-FLOP "T"

Flip-Flops

FLIP-FLOPS SINCRÓNICOS

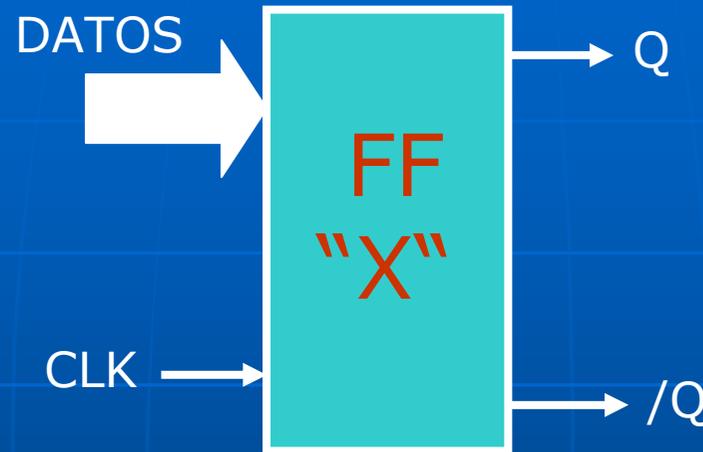
CIRCUITO FINAL DEL FLIP-FLOP "T" SINCRÓNICO
DISPARADO POR NIVEL ALTO DE RELOJ

Caso: ACTIVO EN NIVEL ALTO



Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO



Un Flip-Flop disparado por flanco es aquél que sólo modifica sus salidas en un instante anterior a la detección del flanco de la señal de reloj que activa su mecanismo interno. Por lo tanto el FF puede ser sensible a flanco "ascendente" (ó de subida) ó a flanco "descendente" (ó de bajada) del reloj.



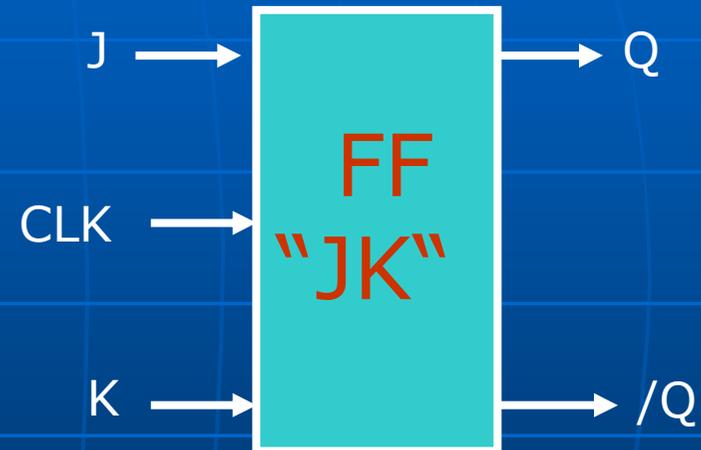
Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

TABLA DE VERDAD

CLK	J	K	Q_{n+1}	$/Q_{n+1}$
↑	0	0	Q_n	$/Q_n$
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	$/Q_n$	Q_n
0 ó 1 ó ↓	X	X	Q_n	$/Q_n$

DISPARO POR FLANCO
ASCENDENTE O DE SUBIDA

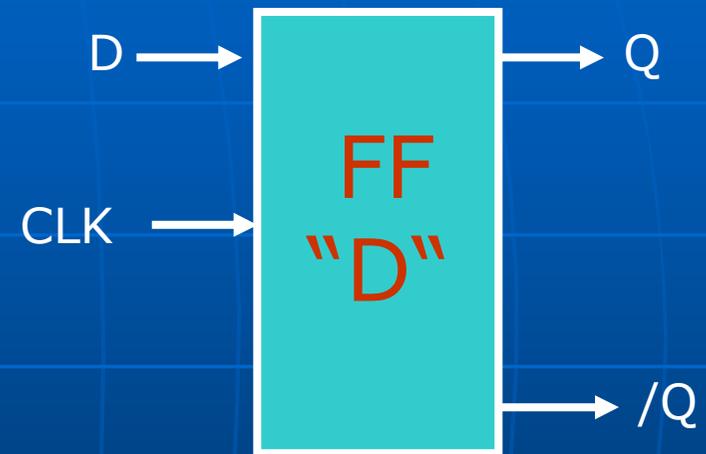


Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

TABLA DE VERDAD

CLK	D	Q_{n+1}	$/Q_{n+1}$
↑	0	0	0
↑	1	1	0
0 ó 1 ó ↓	X	Q_n	$/Q_n$



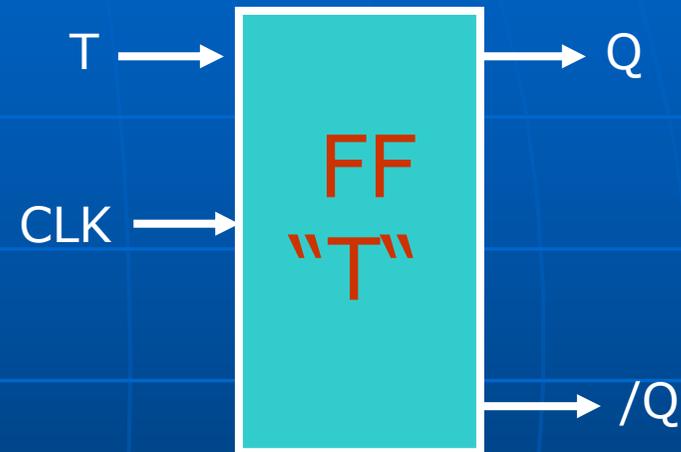
DISPARO POR FLANCO
ASCENDENTE O DE SUBIDA

Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

TABLA DE VERDAD

CLK	T	Q_{n+1}	$/Q_{n+1}$
↑	0	Q_n	$/Q_n$
↑	1	$/Q_n$	Q_n
0 ó 1 ó ↓	X	Q_n	$/Q_n$



DISPARO POR FLANCO
ASCENDENTE O DE SUBIDA

Flip-Flops

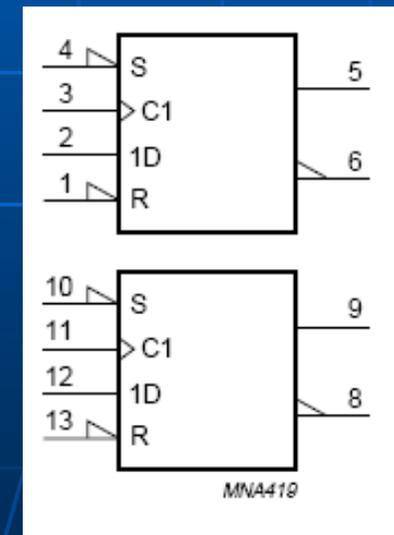
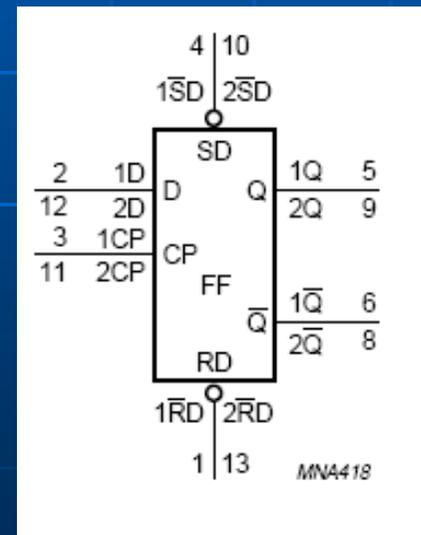
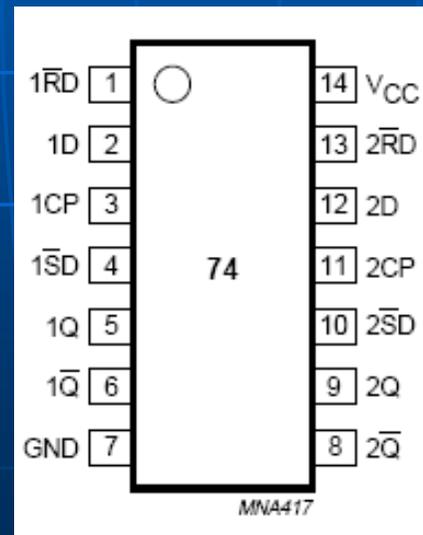
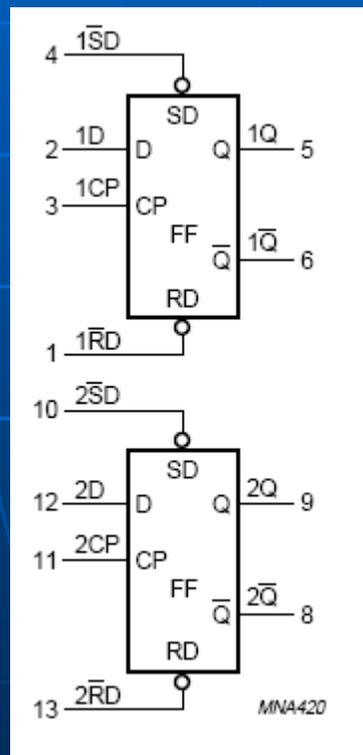
74HC74 – 74HCT74

FLIP-FLOPS SINCRÓNICOS
DISPARADOS POR FLANCO

FLIP-FLOP TIPO "D" DOBLE DISPARADO POR FLANCO ASCENDENTE
CON ENTRADAS ASINCRÓNICAS DE "SET" Y "RESET"
TECNOLOGÍA CMOS

74HC74; 74HCT74

Dual D-type flip-flop with set and reset; positive-edge trigger



FUNCTION TABLES

Table 1 See note 1

INPUT				OUTPUT	
\overline{SD}	\overline{RD}	CP	D	Q	\overline{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H

Table 2 See note 1

INPUT				OUTPUT	
\overline{SD}	\overline{RD}	CP	D	Q _{n+1}	\overline{Q}_{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

Note

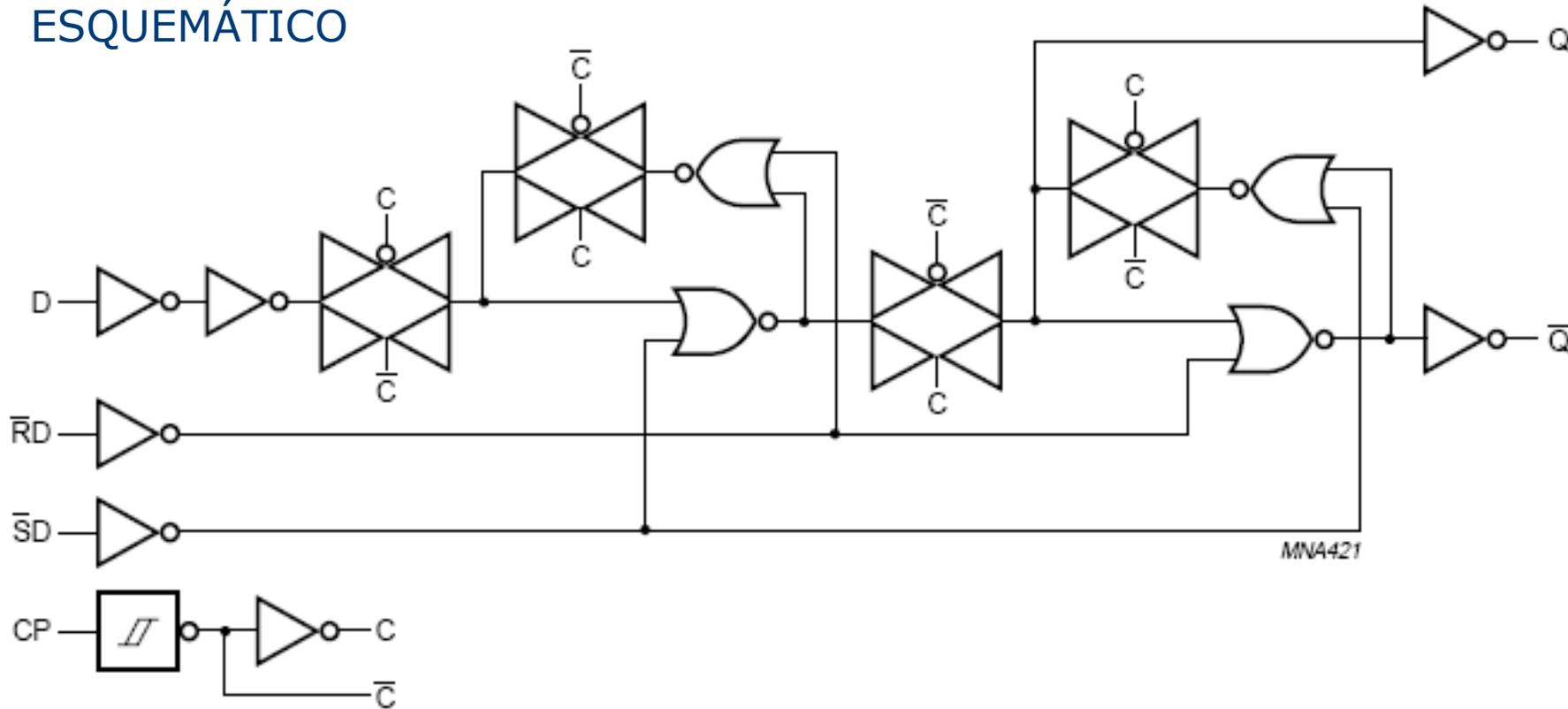
1. H = HIGH voltage level;
L = LOW voltage level;
X = don't care;
↑ = LOW-to-HIGH CP transition;
Q_{n+1} = state after the next LOW-to-HIGH CP transition.

Flip-Flops

74HC74 – 74HCT74

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

ESQUEMÁTICO



CIRCUITO IMPLEMENTADO EN TECNOLOGÍA CMOS BASADO EN EL EMPLEO DE COMPUERTAS PASS-GATE E INVERSORES (AQUÍ LAS NOR HACEN LAS VECES DE ESTAS COMPUERTAS PARA SUMAR LAS FUNCIONES DE AJUSTE (SET) Y BORRADO (RESET) ASINCRÓNICOS).

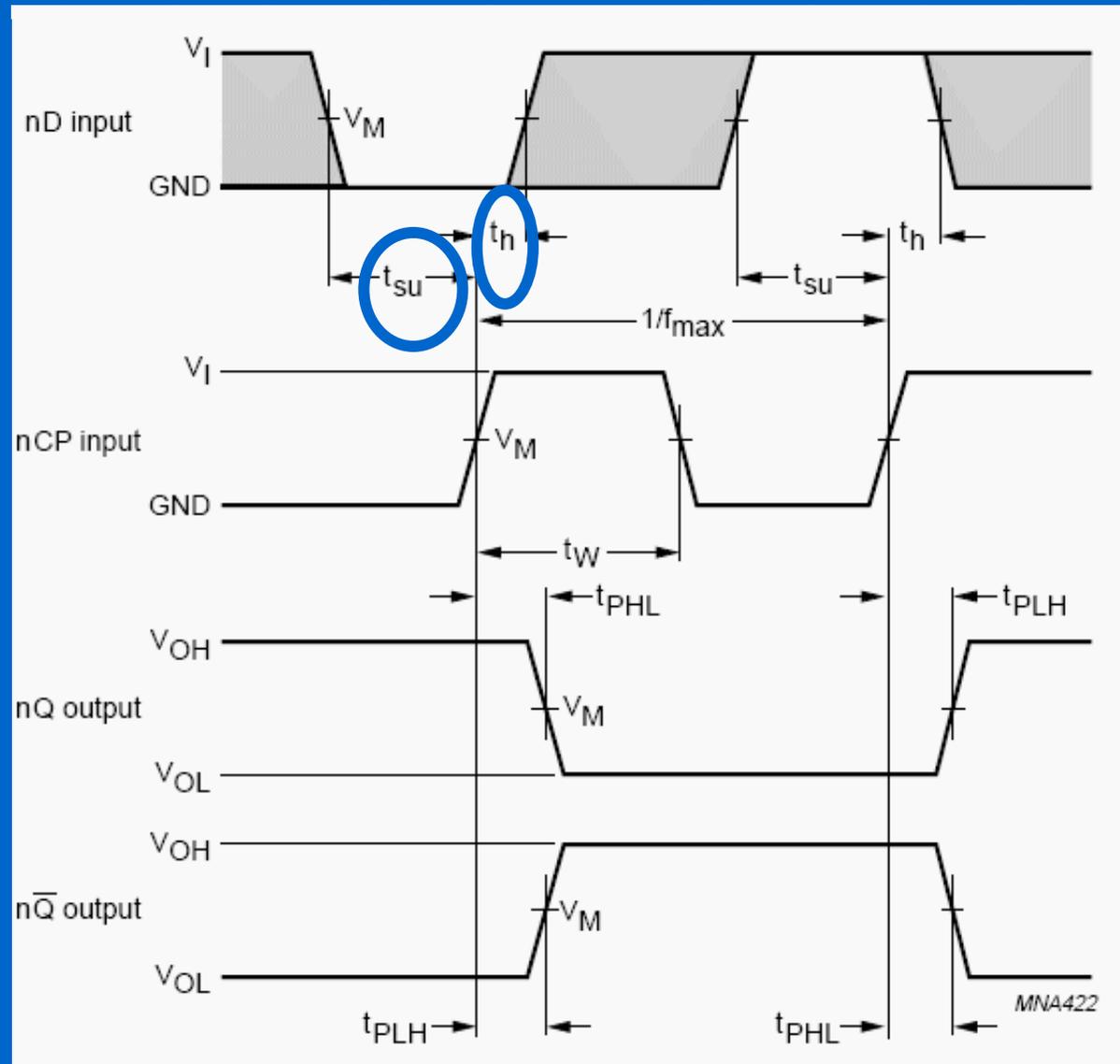
Flip-Flops

74HC74 – 74HCT74

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

t_{SU} es el tiempo de "SET-UP" o tiempo de AJUSTE. Es el tiempo en que la entrada "D" debe estar estable antes que llegue el flanco activo del CLK. Caso contrario el FF puede tomar mal el dato.

t_H es el tiempo de "HOLD" o de mantenimiento. Es el tiempo mínimo que la entrada debe mantener su valor luego que haya pasado el flanco activo de CLK.



Flip-Flops

74HC74 – 74HCT74

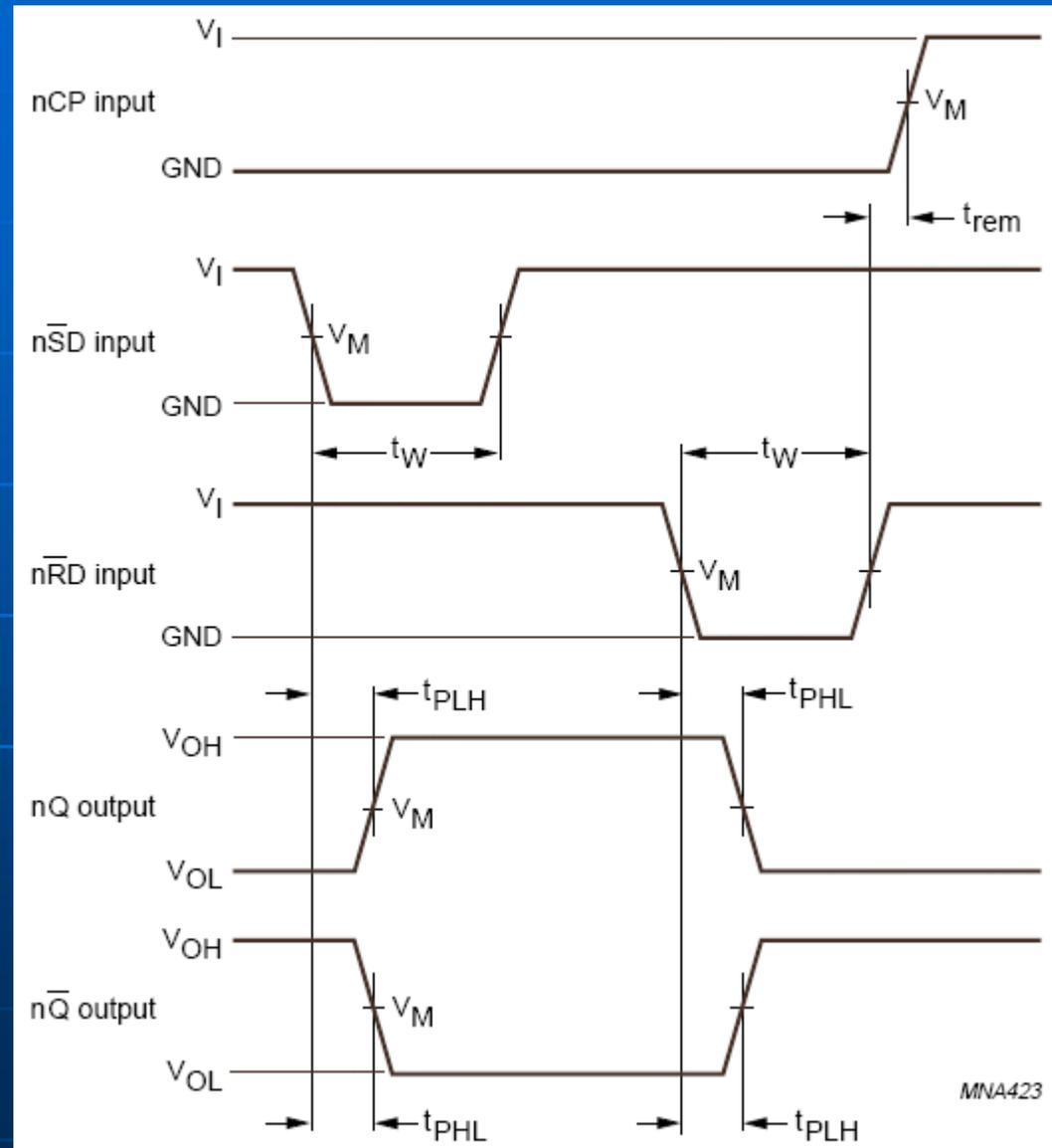
FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

Las entradas asincrónicas se activan en nivel bajo. Para poner Q a "1" se debe tener /SD en bajo y /RD en alto.

Para poner Q a 0 se debe tener /RD en 0 y /SD en alto.

Está prohibido poner ambas entradas a nivel bajo ya que no se puede garantizar el estado que resulte en Q.

Para que el FF funcione normalmente se deben poner ambas entradas a "1".



Flip-Flops

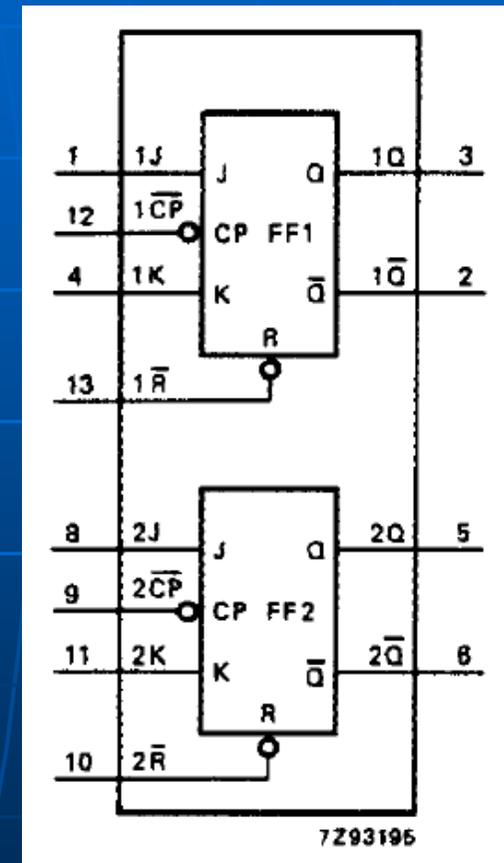
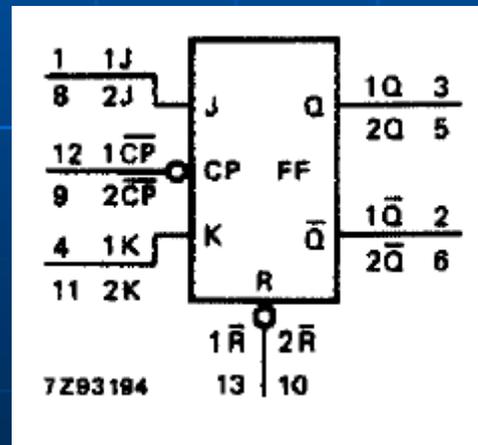
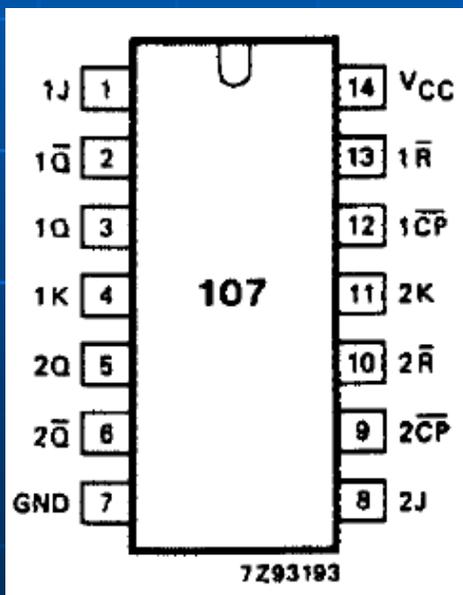
74HC107 – 74HCT107

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

FLIP-FLOP TIPO "JK" DOBLE DISPARADO POR FLANCO DESCENDENTE
CON ENTRADA ASINCRÓNICA DE "RESET" EN TECNOLOGÍA CMOS

74HC/HCT107

Dual JK flip-flop with reset;
negative-edge trigger



FUNCTION TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	$n\bar{R}$	$n\bar{CP}$	J	K	Q	\bar{Q}
asynchronous reset	L	X	X	X	L	H
toggle	H	↓	h	h	\bar{q}	q
load "0" (reset)	H	↓	l	h	L	H
load "1" (set)	H	↓	h	l	H	L
hold "no change"	H	↓	l	l	q	\bar{q}

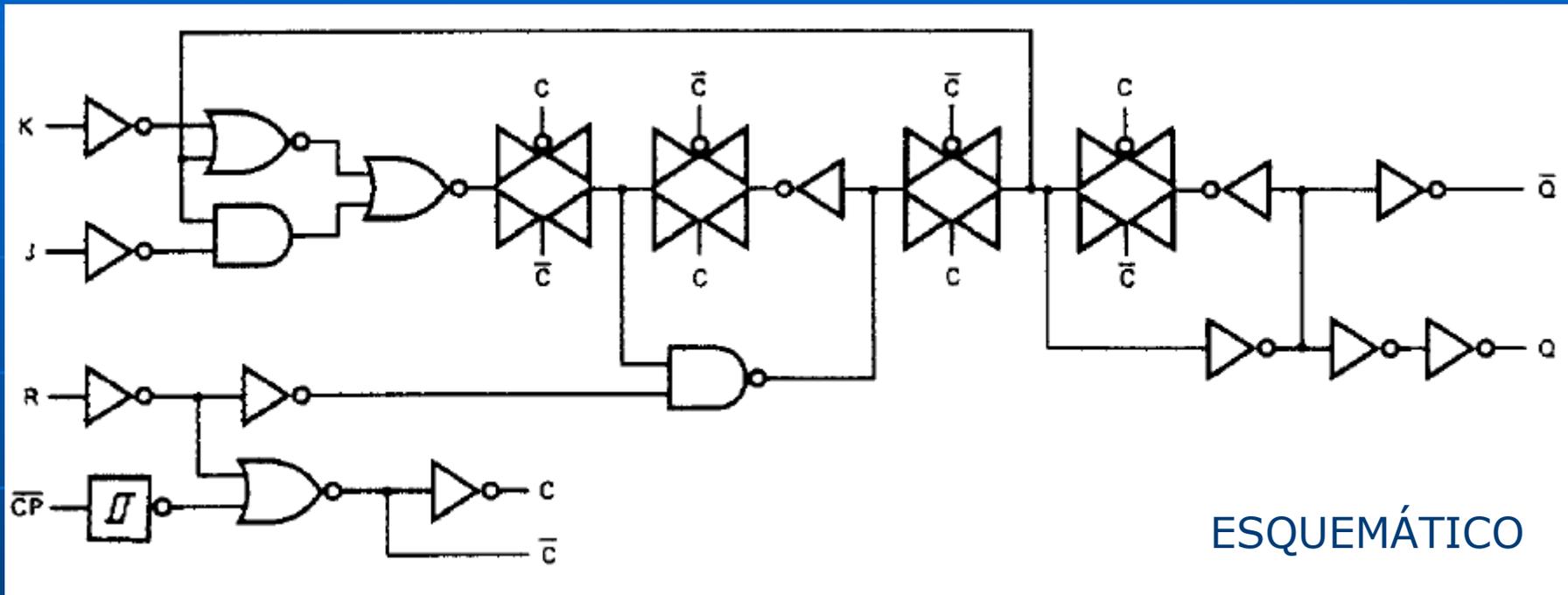
Note

- H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the HIGH-to-LOW CP transition
 L = LOW voltage level
 l = LOW voltage level one set-up time prior to the HIGH-to-LOW CP transition
 q = lower case letters indicate the state of the referenced output one set-up time prior to the HIGH-to-LOW CP transition
 X = don't care
 ↓ = HIGH-to-LOW CP transition

Flip-Flops

74HC107 – 74HCT107

FLIP-FLOPS SINCRÓNICOS
DISPARADOS POR FLANCO



CIRCUITO IMPLEMENTADO EN TECNOLOGÍA CMOS BASADO EN EL EMPLEO DE COMPUERTAS PASS-GATE INVERSORES Y OTRAS, QUE PERMITEN ADEMÁS EL BORRADO (RESET) ASINCRÓNICO DEL FF.

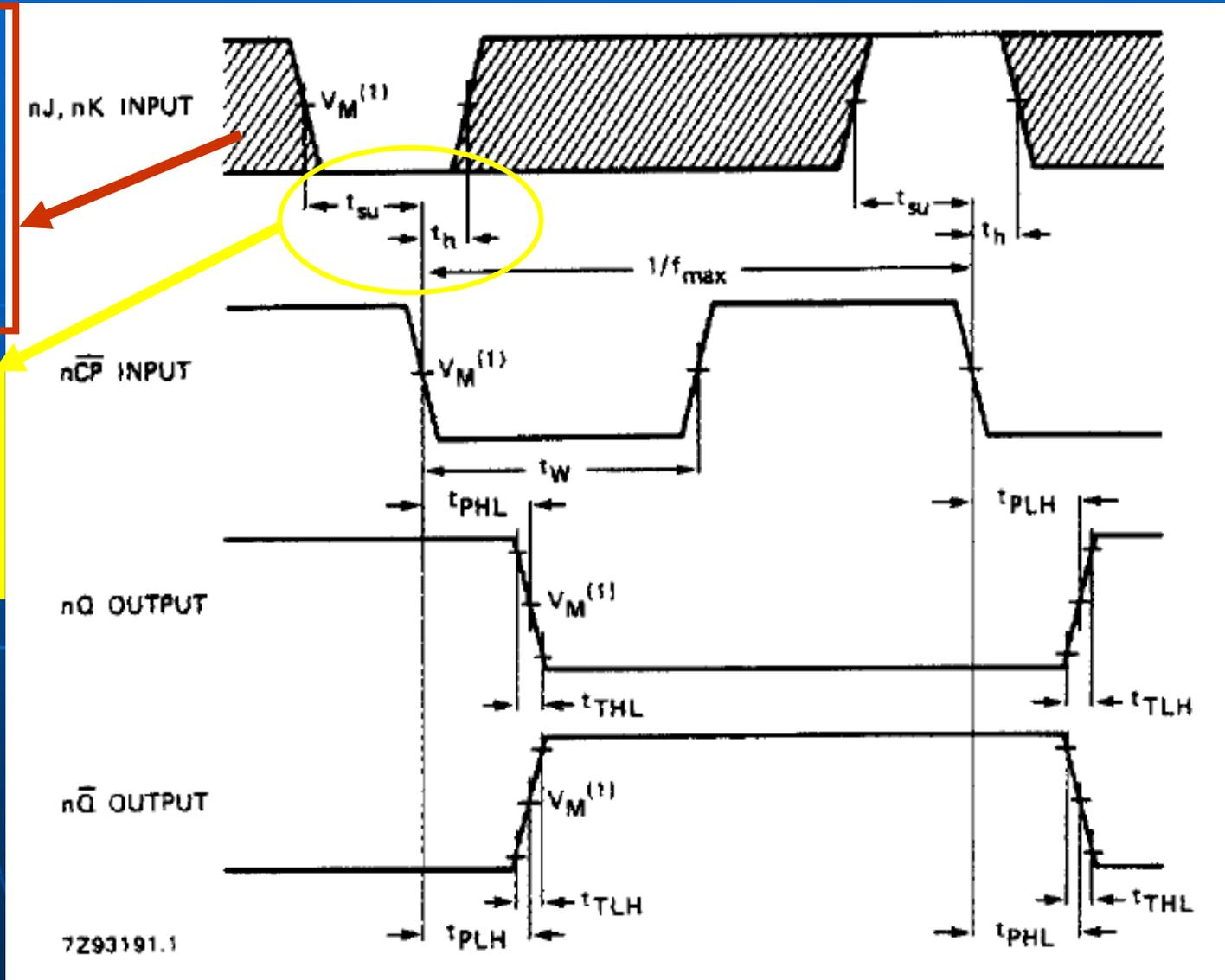
Flip-Flops

74HC107 – 74HCT107

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

Lo sombreado significa que no es importante lo que valgan en esos tiempos las entradas.

Se definen los mismos tiempos que en el caso del FF "D".



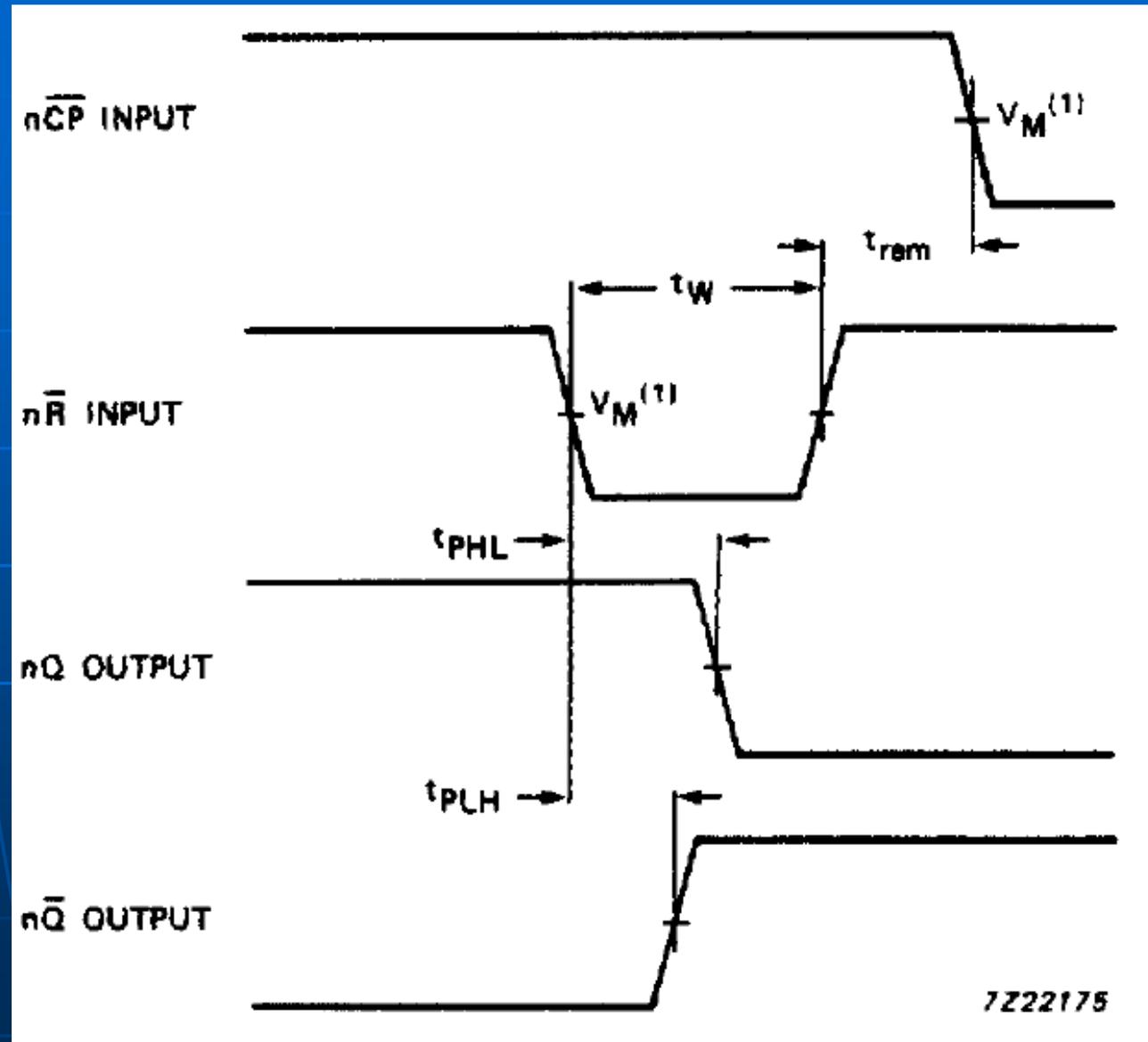
Flip-Flops

74HC107 – 74HCT107

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

La entrada asincrónica /R se activa en nivel bajo y pone Q a "0".

Para que el FF funcione normal se debe poner /R a "1".



Flip-Flops

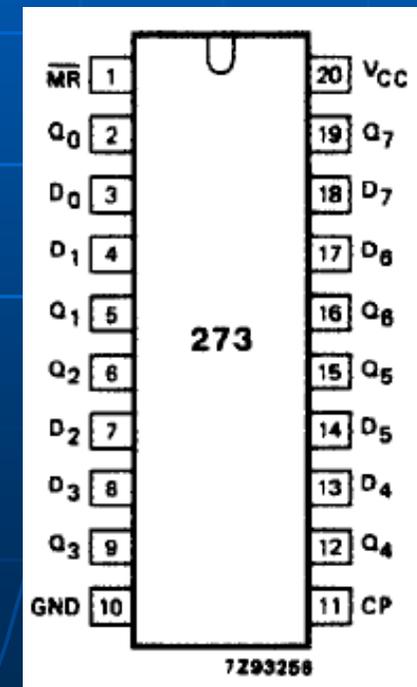
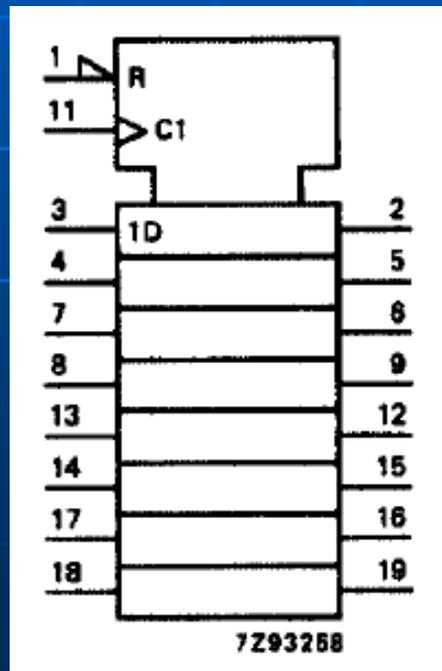
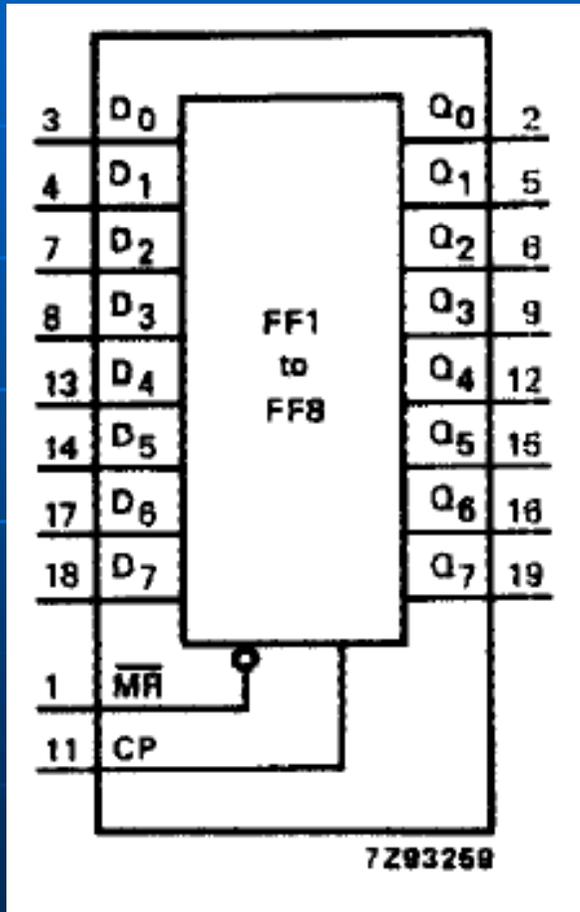
74HC273 – 74HCT273

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

FLIP-FLOP TIPO "D" OCTUPLE DISPARADO POR FLANCO ASCENDENTE
CON ENTRADA ASINCRÓNICA DE "RESET" GENERAL
TECNOLOGÍA CMOS

74HC/HCT273

Octal D-type flip-flop with reset;
positive-edge trigger

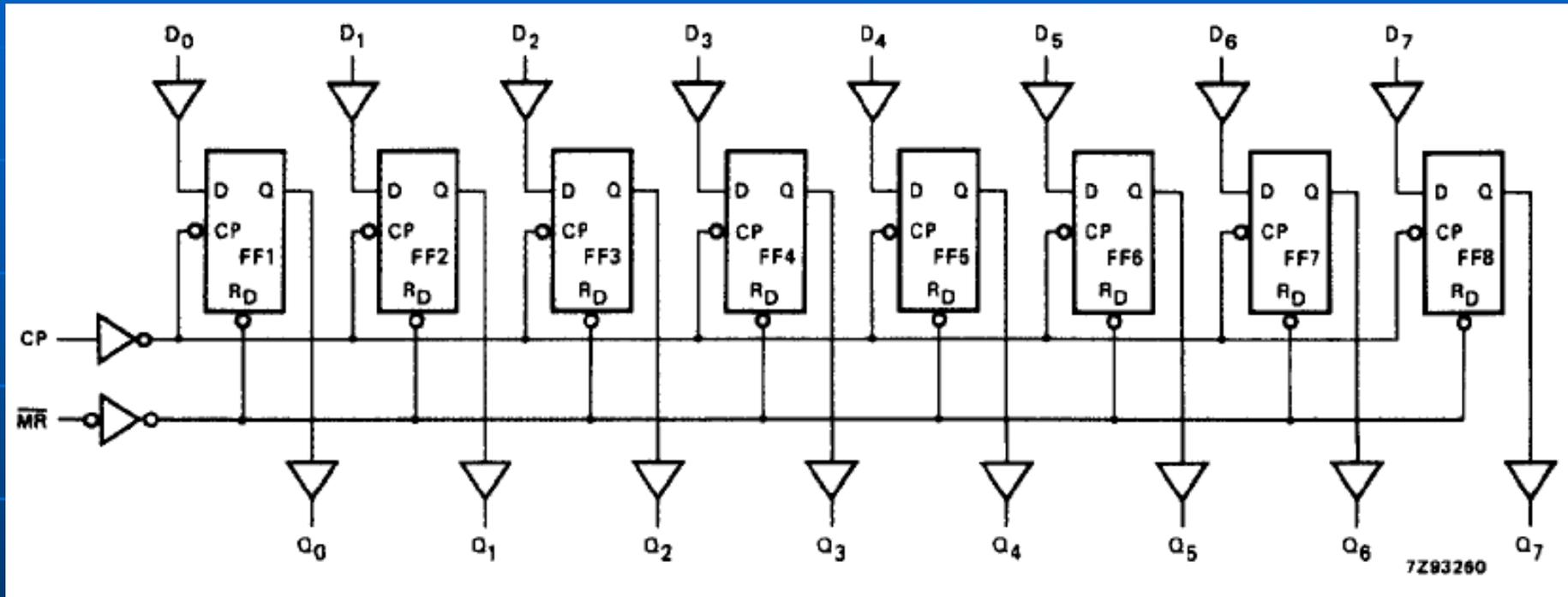


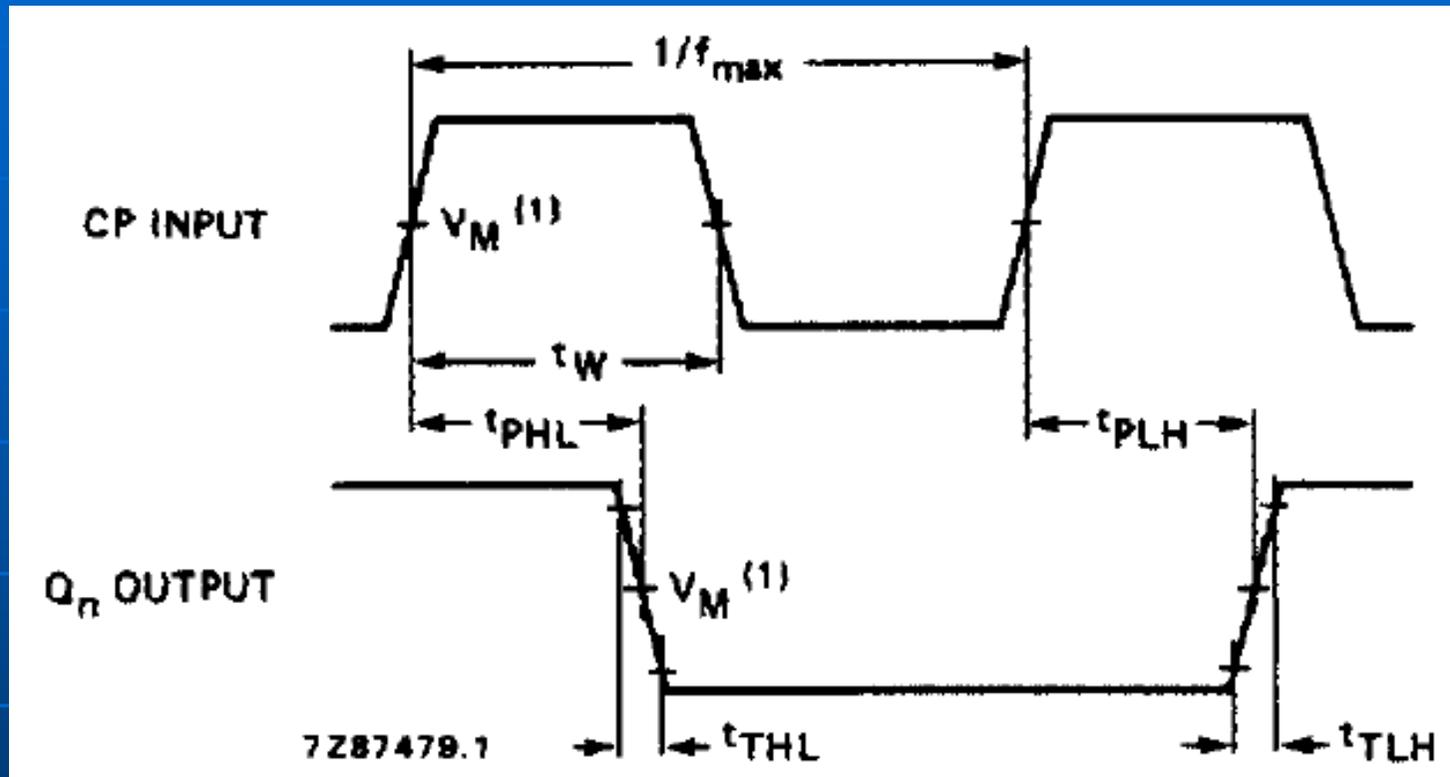
Flip-Flops

74HC273 – 74HCT273

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

ESQUEMÁTICO





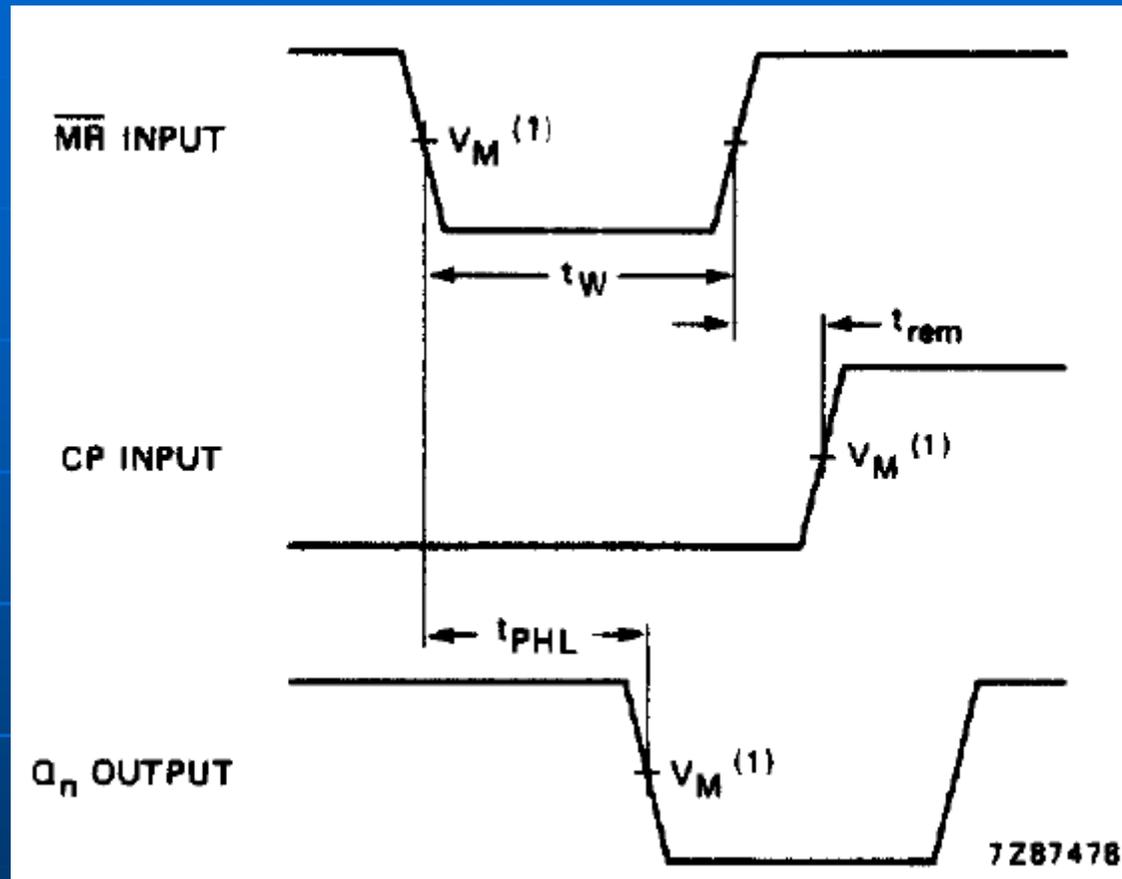
LAS SALIDAS DE LOS FLIP-FLOPS SE ACTUALIZAN DESDE SUS ENTRADAS RESPECTIVAS LUEGO DE RECIBIR EL FLANCO DE SUBIDA DEL RELOJ.

t_W ES EL TIEMPO MÍNIMO QUE PUEDE TENER UN SEMICICLO DEL MISMO.

Flip-Flops

74HC273 – 74HCT273

FLIP-FLOPS SINCRÓNICOS
DISPARADOS POR FLANCO

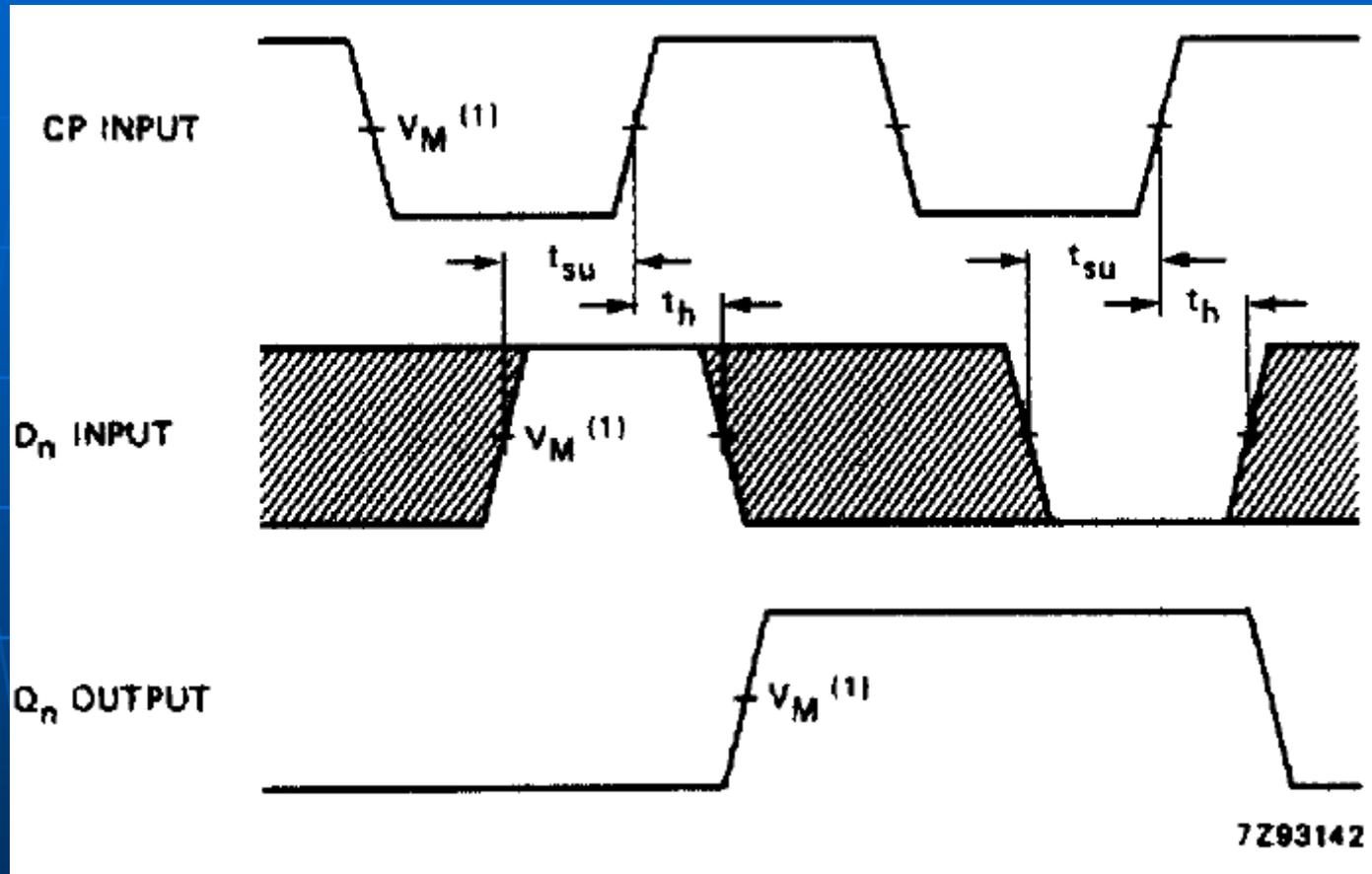


LA ENTRADA DE MASTER RESET (\overline{MR}) SE ACTIVA EN BAJO BORRANDO LOS CONTENIDOS DE LOS 8 FLIP-FLOPS.

Flip-Flops

74HC273 – 74HCT273

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO



FUNCTION TABLE

OPERATING MODES	INPUTS			OUTPUTS
	\overline{MR}	CP	D_n	Q_n
reset (clear)	L	X	X	L
load "1"	H	↑	h	H
load "0"	H	↑	l	L

Note

- H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
 L = LOW voltage level
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 ↑ = LOW-to-HIGH transition
 X = don't care

SE OBSERVA QUE EL RESET ES ASINCRÓNICO ACTIVO EN BAJO. LA CARGA DE DATOS AL FLIP-FLOPS ES SINCRÓNICO CUANDO SE DETECTE UN FLANCO DE SUBIDA EN EL RELOJ.

Flip-Flops

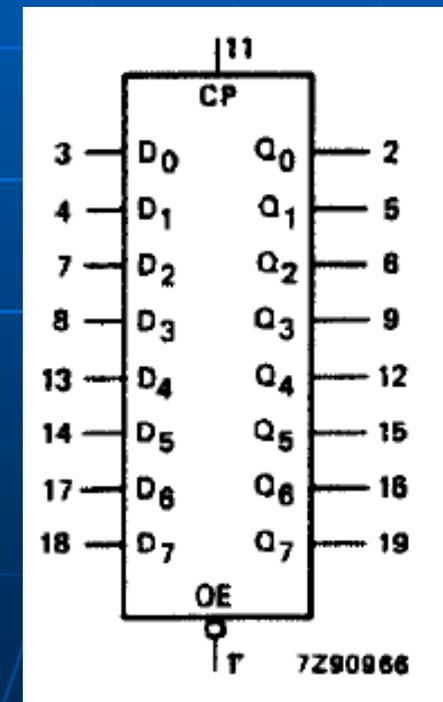
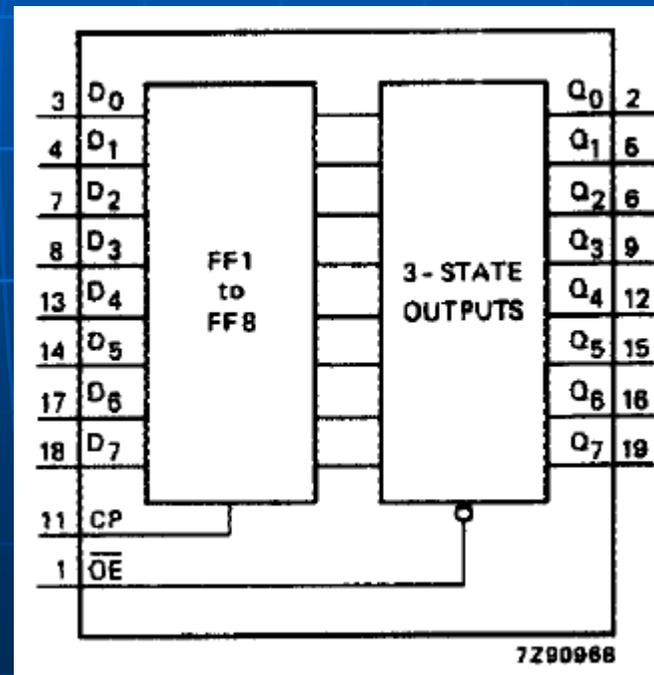
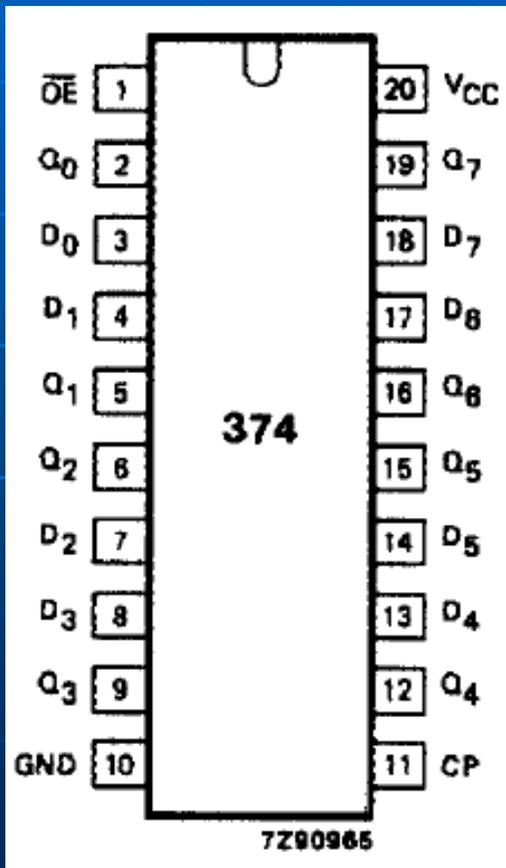
74HC374 – 74HCT374

FLIP-FLOPS SINCRÓNICOS
DISPARADOS POR FLANCO

FLIP-FLOP TIPO "D" OCTUPLE DISPARADO POR FLANCO ASCENDENTE
CON SALIDAS TRI-STATE (DE TERCER ESTADO Ó ALTA IMPEDANCIA)
TECNOLOGÍA CMOS

74HC/HCT374

Octal D-type flip-flop; positive
edge-trigger; 3-state

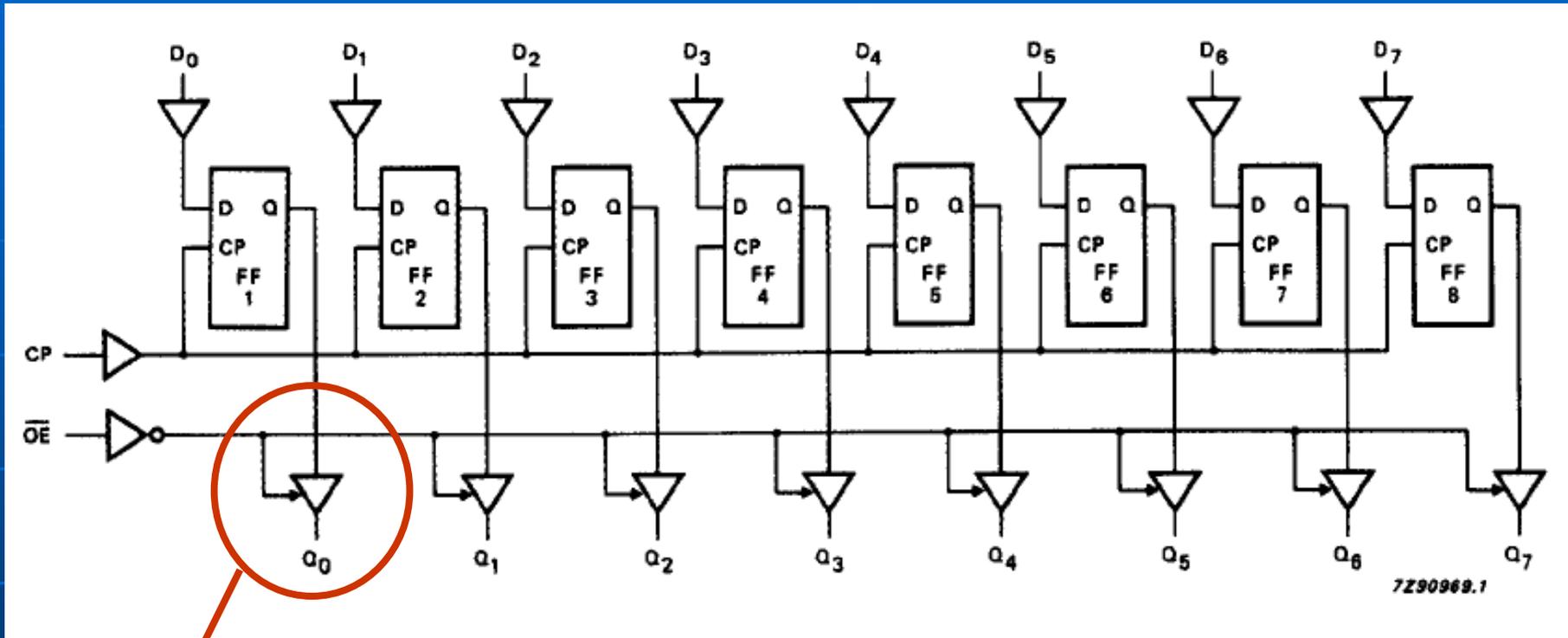


Flip-Flops

74HC374 – 74HCT374

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

ESQUEMÁTICO



LAS SALIDAS SON DENOMINADAS DE TERCER ESTADO DEBIDO A QUE APARTE DE TENER LOS ESTADOS "0" Y "1" POSEEN UN TERCERO DENOMINADO DE "ALTA IMPEDANCIA". EN ESTE ESTADO LAS SALIDAS QUEDAN DESVINCULADAS DE LAS TENSIONES INTERNAS DE ALIMENTACIÓN Y POR LO TANTO ESTÁN FLOTANTES.

Flip-Flops

74HC374 – 74HCT374

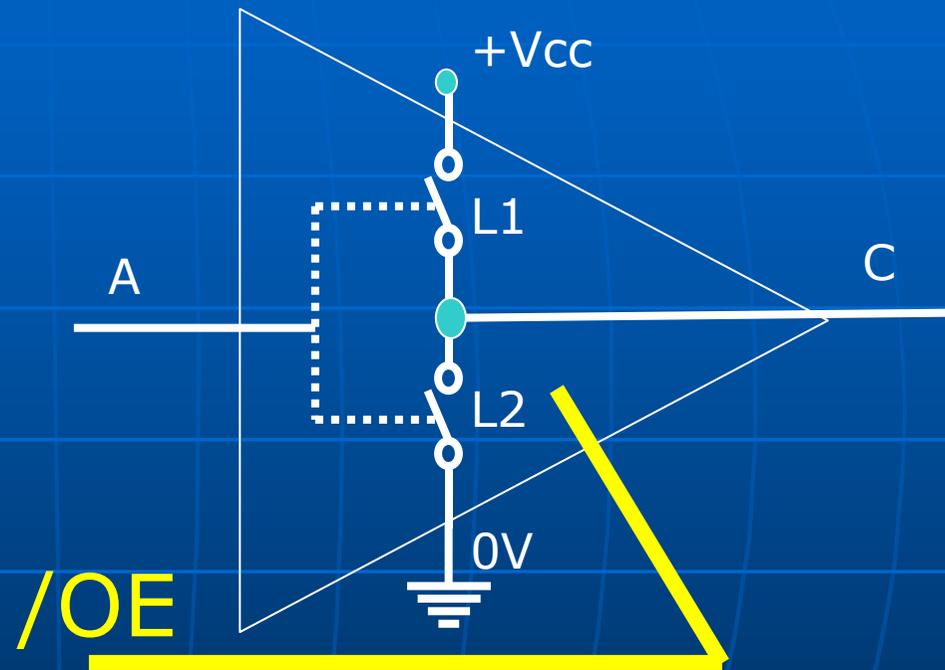
FLIP-FLOPS SINCRÓNICOS
DISPARADOS POR FLANCO

TERCER ESTADO:

IMAGINAR IDEALIZADO EL CIRCUITO DE SALIDA DE UN BUFFER
COMO SIGUE:



UNA SALIDA NORMAL DE
UNA COMPUERTA SE PUEDE
VER COMO DOS LLAVES
L1 Y L2 DONDE PARA PONER
UN "0" SE CIERRA L2 Y SE
ABRE L1 Y VICEVERSA.



UNA COMPUERTA TRI-STATE ES AQUELLA QUE ADEMÁS PUEDE PONER
AMBAS LLAVES ABIERTAS SIMULTANEAMENTE CON LA AYUDA DE UNA
ENTRADA AUXILIAR DE CONTROL DENOMINADA ESTE CASO:
"OUTPUT-ENABLE" /OE (ESTO ÚLTIMO SE HA AGREGADO EN AMARILLO).

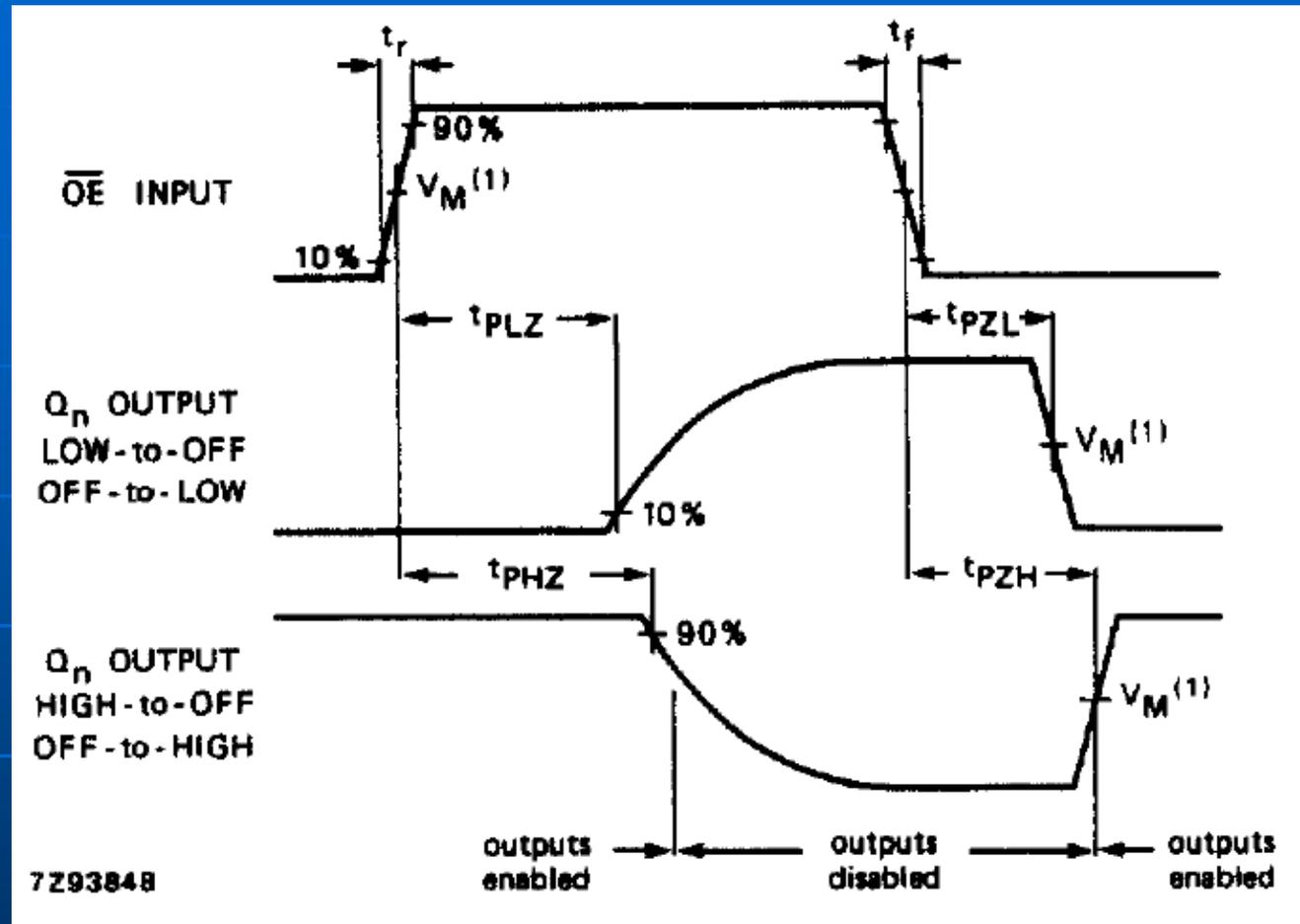
FUNCTION TABLE

OPERATING MODES	INPUTS			INTERNAL FLIP-FLOPS	OUTPUTS
	\overline{OE}	CP	D_n		Q_0 to Q_7
load and read register	L	↑	l	L	L
	L	↑	h	H	H
load register and disable outputs	H	↑	l	L	Z
	H	↑	h	H	Z

Notes

- H = HIGH voltage level
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
 L = LOW voltage level
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 Z = high impedance OFF-state
 ↑ = LOW-to-HIGH CP transition

CON /OE = 1 LAS SALIDAS QUEDAN FLOTANTES.
 CON /OE = 0 LAS SALIDAS RESPONDEN NORMALMENTE.

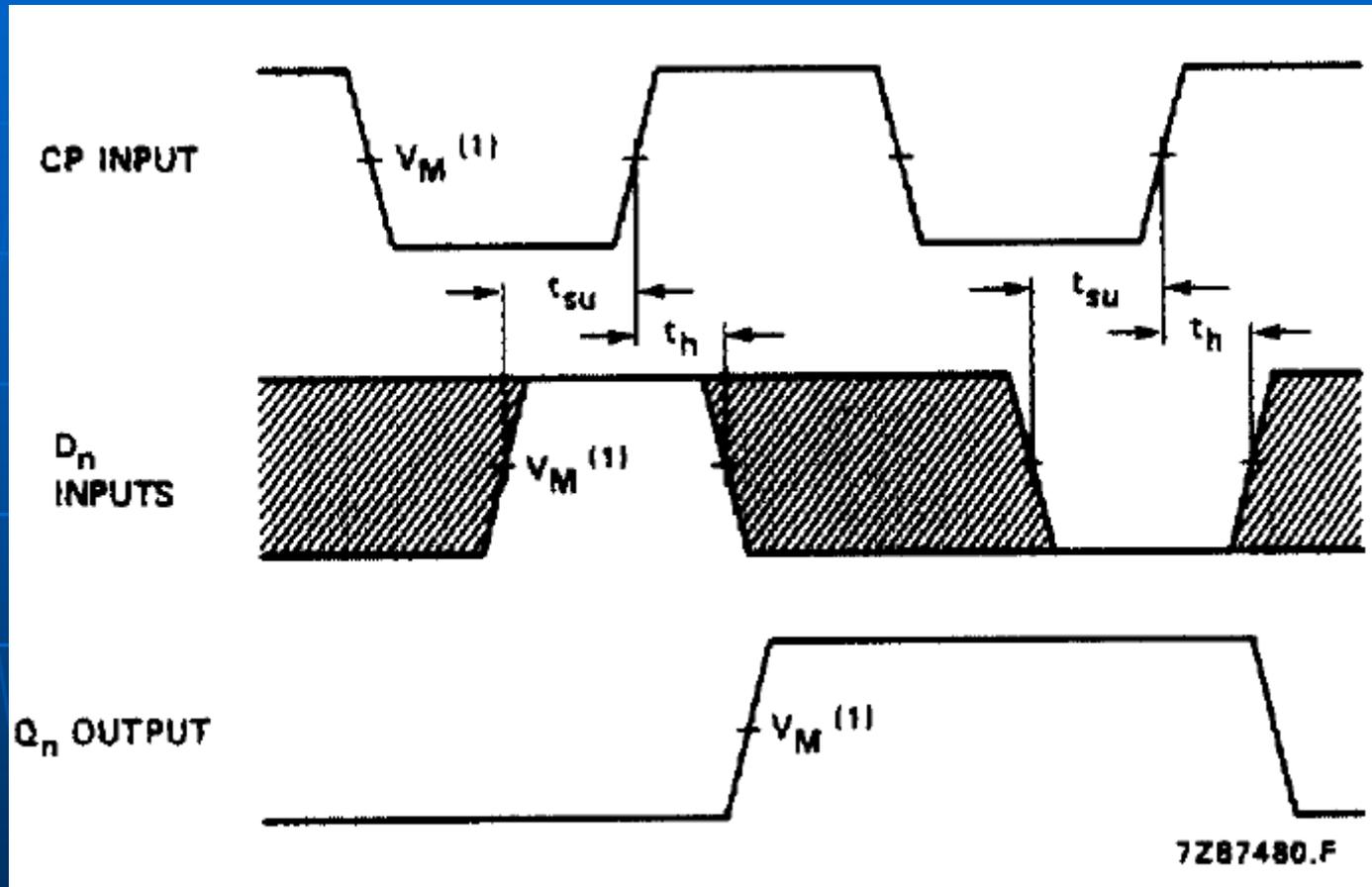


Al aplicar un pulso positivo en “/oe” se deshabilitan las salidas temporalmente. aquí se indican los tiempos que tienen relevancia en estas condiciones: t_{PLZ} Y t_{PHZ} son los retardos al deshabilitar las salidas mientras que t_{PZL} Y t_{PZH} los retardos generados al querer habilitarlas.

Flip-Flops

74HC374 – 74HCT374

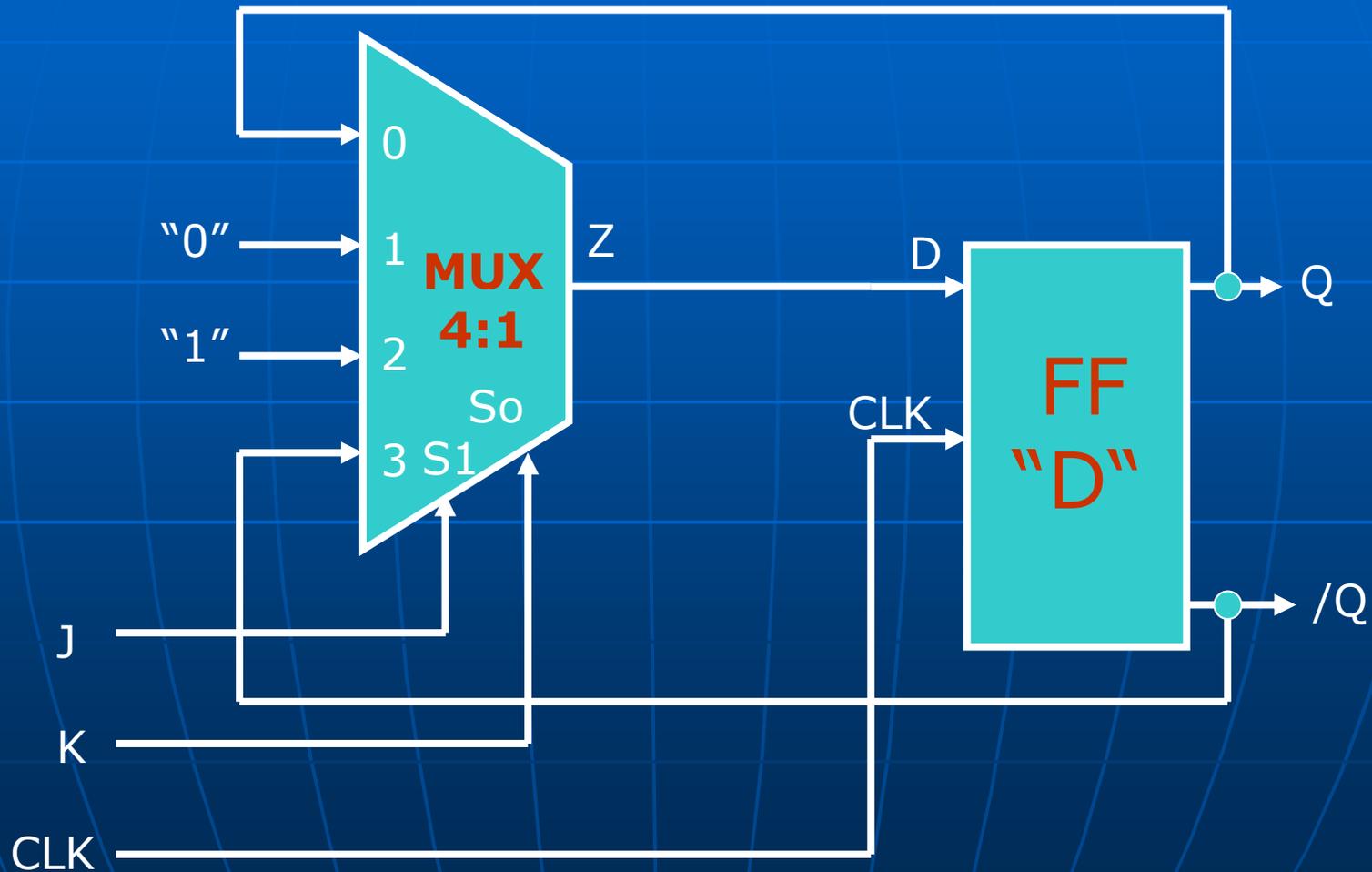
FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO



Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

DISEÑO DE UN FLIP-FLOP "JK" BASADO EN UN "D"

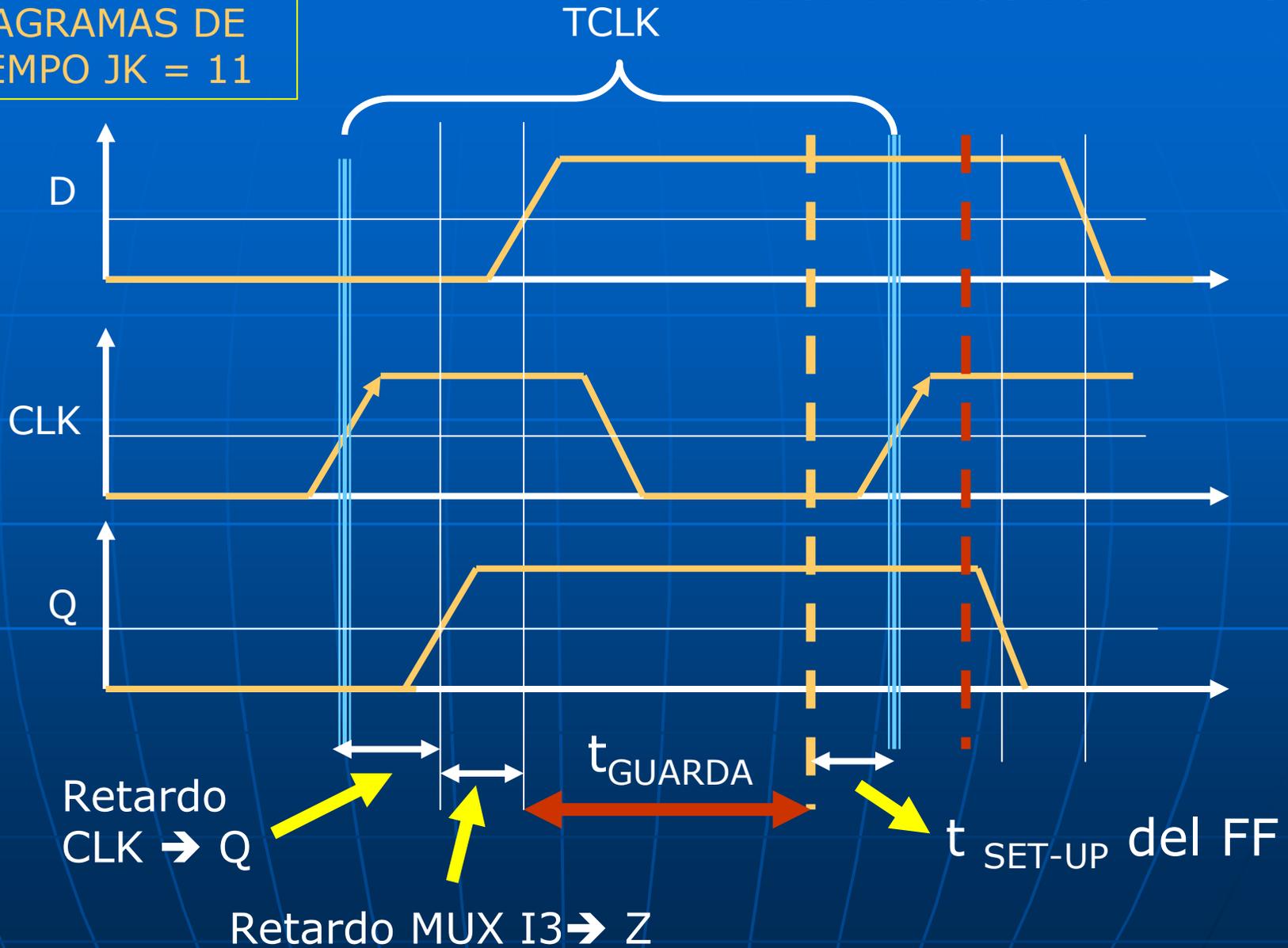


Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

CALCULO DE LA VELOCIDAD DE RESPUESTA

DIAGRAMAS DE
TIEMPO JK = 11



CALCULO DE LA VELOCIDAD DE RESPUESTA

DEL EJEMPLO ANTERIOR SE DEDUCE QUE LA MÁXIMA FRECUENCIA DE RELOJ QUE PUEDE EMPLEARSE ES:

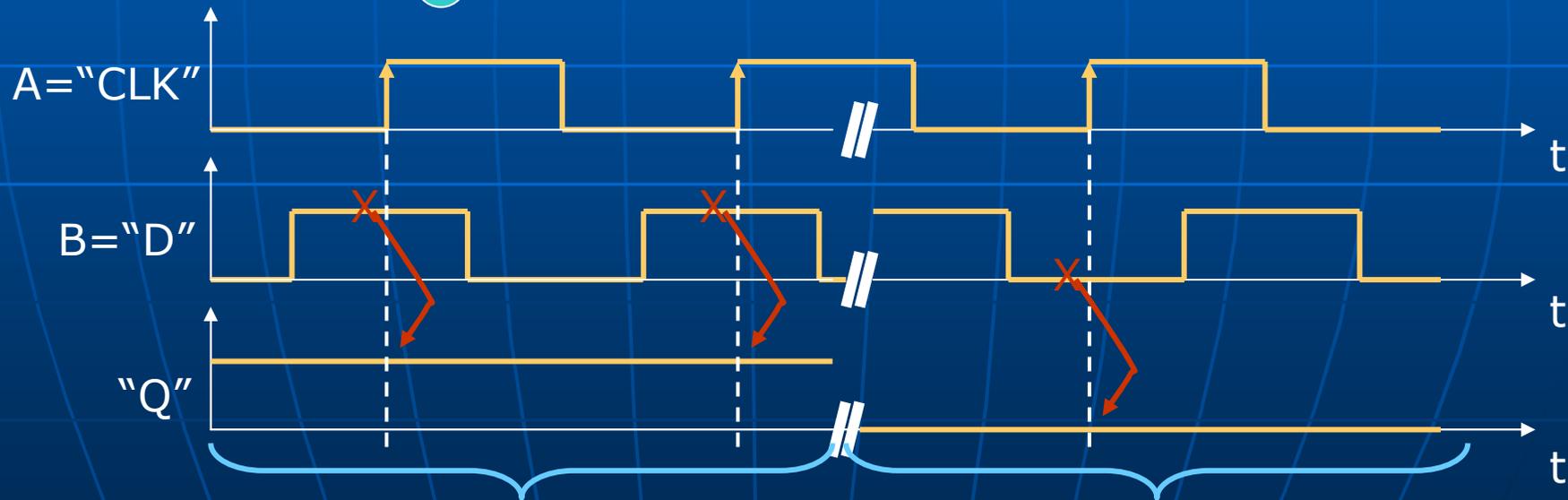
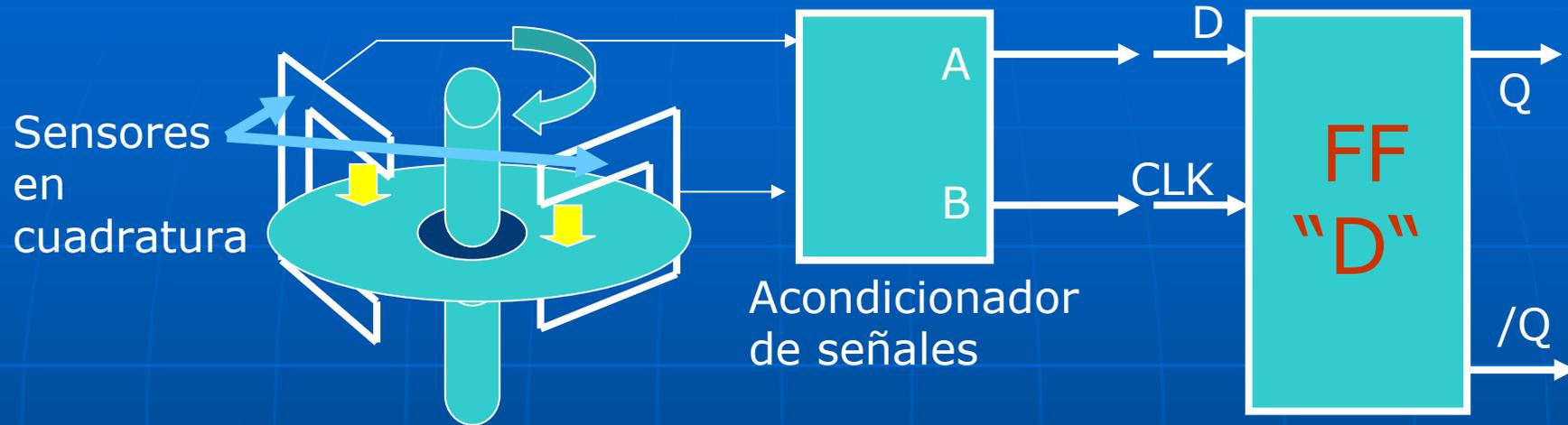
$$\text{Frec. (máx)} = \frac{1}{\text{Retardo FF (CLK} \rightarrow \text{Q)} + \text{Retardo MUX} + t_{\text{SET-UP}}}$$

NOTA: EN GENERAL EL TIEMPO DE HOLD DEL FLIP-FLOP NO SE CONSIDERA YA QUE COMO EN ESTE CASO LA SEÑAL EN "D" CAMBIA LUEGO DE LA CADENA DE RETARDOS DADA POR LA SALIDA /Q Y EL MUX POR LO QUE EL $t(\text{HOLD})$ SE RESPETA.

Flip-Flops

FLIP-FLOPS SINCRÓNICOS DISPARADOS POR FLANCO

EJEMPLO DE APLICACIÓN:
DETECTOR DE SENTIDO DE GIRO



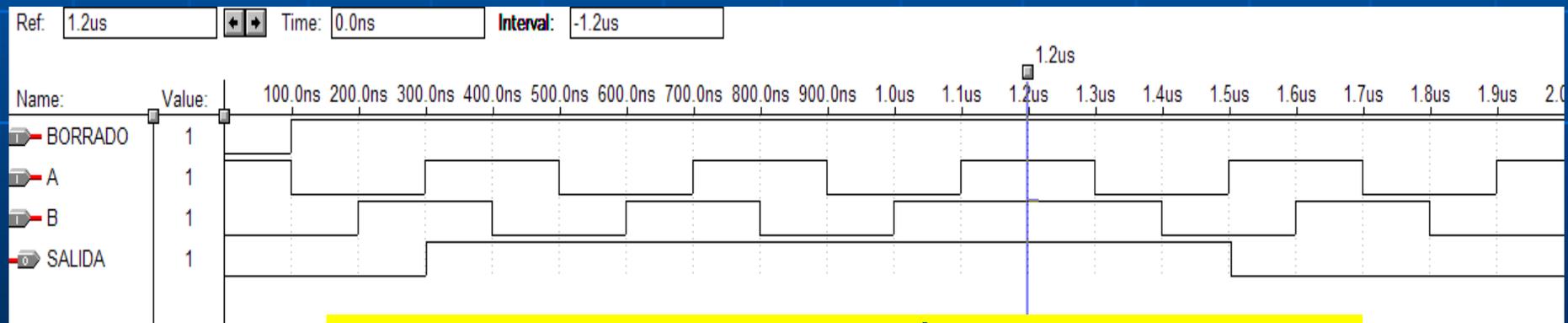
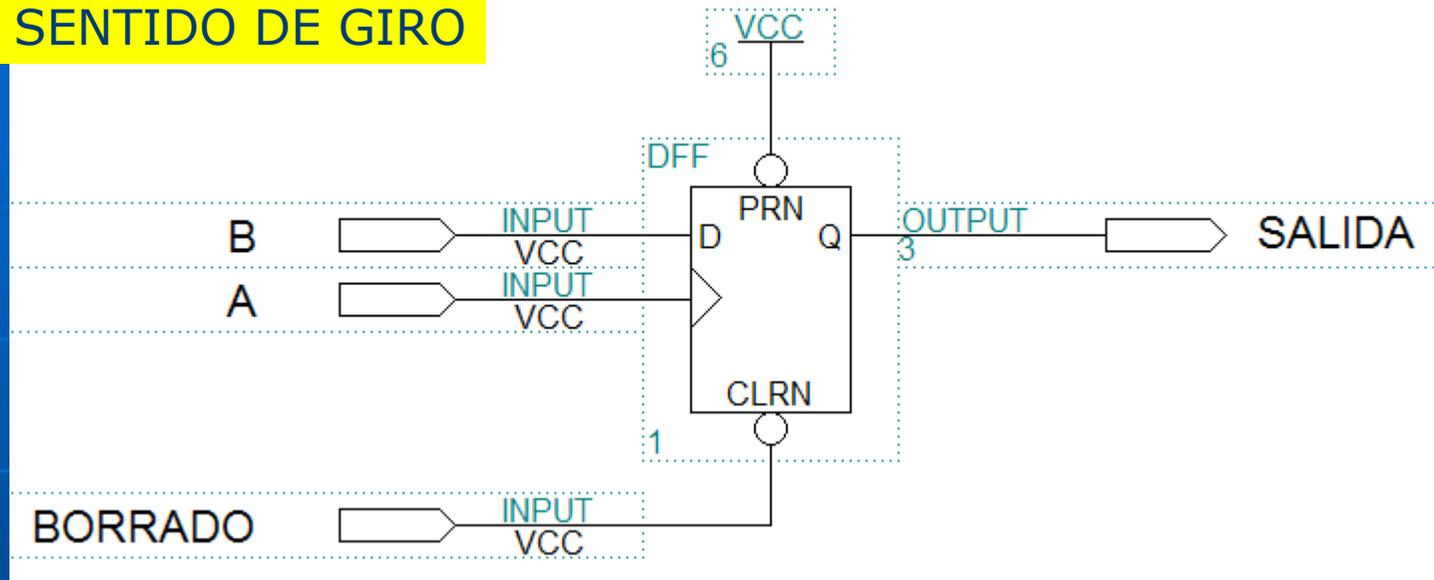
SENTIDO HORARIO

SENTIDO ANTIHORARIO

Flip-Flops

FLIP-FLOPS SINCRÓNICOS

EJEMPLO DE APLICACIÓN:
DETECTOR DE SENTIDO DE GIRO



RESULTADOS DE SIMULACIÓN CON MAX-PLUS II

Bibliografía:

Apuntes de teoría:

- "Flip-Flops". S. Noriega.

Libros:

- "Sistemas Digitales". R. Tocci, N. Widmer, G. Moss. Ed. Prentice Hall.
- "Diseño Digital". M. Morris Mano. Ed. Prentice Hall. 3ra edición.
- "Diseño de Sistemas Digitales". John Vyemura. Ed. Thomson.
- "Diseño Lógico". Antonio Ruiz, Alberto Espinosa. Ed. McGraw-Hill.
- "Digital Design: Principles & Practices". John Wakerly. Ed. Prentice Hall.
- "Diseño Digital". Alan Marcovitz. Ed. McGraw-Hill.
- "Electrónica Digital". James Bignell, R. Donovan. Ed. CECOSA.
- "Técnicas Digitales con Circuitos Integrados". M. Ginzburg.
- "Fundamentos de Diseño Lógico y Computadoras". M. Mano, C. Kime. Ed. Prentice Hall.
- "Teoría de conmutación y Diseño lógico". F. Hill, G. Peterson. Ed. Limusa